

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-353765

(43)Date of publication of application : 19.12.2000

(51)Int. Cl. H01L 23/12

H05K 1/02

H05K 1/14

H05K 3/46

(21)Application number : 2000-044641 (71)Applicant : FUJITSU LTD

(22)Date of filing : 22.02.2000 (72)Inventor : YASUDA NAOKI

SEYAMA KIYOTAKA

KOIDE MASATERU

YAMAMOTO HARUHIKO

(30)Priority

Priority number : 11098896

Priority date : 06.04.1999

Priority country : JP

(54) WIRING BOARD AND CHIP MODULE PROVIDED THEREWITH

(57)Abstract:

PROBLEM TO BE SOLVED: To realize a wiring board which can be mounted with an LSI to come in the future, equipped with electrodes arranged at a narrower pitch, than those provided to a current LSI.

SOLUTION: This wiring board A is of composite structure, composed of a glass epoxy rigid board 51 provided with a single wiring layer and a flexible board 52, provided with two wiring layers and bonded to the top surface of the glass epoxy rigid board 5. The flexible board 52 is equipped with a wiring pattern, formed on a film and provided with an LSI chip mount on its top surface. A wiring pattern 55 is about half as wide as normal and 20 μ m or so in width. Therefore, electrode pads 54 are arranged at a pitch narrower than conventionally.

LEGAL STATUS [Date of request for examination] 25.11.2003
[Date of sending the examiner's decision of rejection]
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]
[Patent number] 3860380
[Date of registration] 29.09.2006
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

*** NOTICES ***

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The wiring substrate characterized by being the composite construction by which it has the flexible substrate of a configuration of consisting of a rigid substrate, a circuit pattern formed in the film and this film, and the semiconductor chip loading section formed in the top face of this film in the wiring substrate carried in a printed circuit board, this flexible substrate was electrically connected with this rigid substrate, and laminating immobilization was carried out on the top face of this rigid substrate.

[Claim 2] In the chip module which consists of a wiring substrate and a semiconductor chip carried in this, and is carried in a printed circuit board the above-mentioned wiring substrate It has the flexible substrate of a configuration of consisting of a rigid substrate, a circuit pattern formed in the film and this film, and the semiconductor chip loading section formed in the top face of this film. The chip module which is the composite construction by which this flexible substrate was electrically connected with this rigid substrate, and laminating immobilization was carried out on the top face of this rigid substrate, and was characterized by considering as the configuration in which the above-mentioned semiconductor chip is carried in the above-mentioned semiconductor chip loading section.

[Claim 3] The wiring substrate characterized by to be the composite construction by which it has the flexible substrate of a configuration of consisting of a rigid substrate, a circuit pattern formed in the film and this film, and the semiconductor chip loading section formed in the top face of this film in the wiring substrate carried in a printed circuit board, this flexible substrate was electrically connected with this rigid substrate, and laminating immobilization was carried out on the top face and inferior surface of tongue of this rigid substrate.

[Claim 4] The chip module characterized by considering as the configuration which consists of a semiconductor chip carried and mounted on the wiring substrate which is the composite construction which consists of a rigid substrate and a flexible substrate by which has a circuit pattern in the field of a film, was electrically connected with this rigid substrate, and laminating immobilization was carried out on the top face of this rigid substrate, and the above-mentioned flexible substrate of this wiring substrate.

[Claim 5] The wiring substrate characterized by being the composite construction which consists of a flexible substrate which has a circuit pattern in the field of a film and was arranged in the center, and a rigid

substrate by the side of the top face which was electrically connected with this flexible substrate on both sides of this flexible substrate, and was fixed with this flexible substrate, and an inferior surface of tongue.

[Claim 6] It is the composite construction which consists of a rigid substrate and a thin film multilayer foil by which laminating immobilization was carried out on the top face of this rigid substrate in the wiring substrate carried in a printed circuit board. The above-mentioned rigid substrate It is the configuration of having the printed circuit board loading section for carrying in the above-mentioned printed circuit board on the inferior surface of tongue, and having the thin film multilayer foil loading section for carrying the above-mentioned thin film multilayer foil in a top face. The above-mentioned thin film multilayer foil It is the configuration that the laminating of the voltage plane which consists of film, the insulating layer which consists of film, and the grand layer which consists of film is carried out. The wiring substrate characterized by being the configuration of having the magnitude corresponding to a semiconductor chip, having the semiconductor chip loading section on the top face, and having the rigid substrate loading section for carrying in the above-mentioned rigid substrate on the inferior surface of tongue.

[Claim 7] In the chip module which consists of a wiring substrate and a semiconductor chip carried in this, and is carried in a printed circuit board the above-mentioned wiring substrate It is the composite construction which becomes the top face of a rigid substrate and this rigid substrate from the thin film multilayer foil by which laminating immobilization was carried out. The above-mentioned rigid substrate It is the configuration of having the printed circuit board loading section for carrying in the above-mentioned printed circuit board on the inferior surface of tongue, and having the thin film multilayer foil loading section for carrying the above-mentioned thin film multilayer foil in a top face. The above-mentioned thin film multilayer foil It is the configuration that the laminating of the voltage plane which consists of film, the insulating layer which consists of film, and the grand layer which consists of film is carried out. Have the magnitude corresponding to the above-mentioned semiconductor chip, and it has the semiconductor chip loading section on the top face. The chip module which is the configuration of having the rigid substrate loading section for carrying in the above-mentioned rigid substrate on the inferior surface of tongue, and was characterized by considering as the configuration in which the above-mentioned semiconductor chip is carried in the above-mentioned semiconductor chip loading section.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the chip module which used a wiring substrate and this, especially relates to the wiring substrate for carrying and mounting an LSI chip.

[0002] An LSI chip is in the inclination which a pattern makes detailed and an electrode will form into a ** pitch in the future. The wiring substrate for carrying and mounting an LSI chip needs to be the structure where it can respond to this.

[0003]

[Description of the Prior Art] Drawing 1 (A) shows the conventional wiring substrate 10 for LSI chip loading mounting. It is a build up substrate, and the build up layers 12 and 13 are formed in the vertical side of the rigid substrate 11 made from glass epoxy, the bump 14 is formed in the inferior surface of tongue, and this wiring substrate 10 is the configuration of having the LSI chip loading section 15 in a top face. The LSI chip loading section 15 is the configuration that two or more electrode pads 16 are located in a line, and the circuit pattern 17 is prolonged on the outside of the LSI chip loading section 15 from each electrode pad 16, as collectively shown in this drawing (B).

[0004] LSI chip 20 is a flip chip gestalt, and loading mounting is carried out at the LSI chip loading section 15. That is, soldering connection is made with the electrode pad 16 with which the bump 21 of the inferior surface of tongue of LSI chip 20 corresponds, and it fills up with encapsulant 22 between LSI chip 20 and the wiring substrate 10.

[0005] The wiring substrate 10 with which loading mounting of LSI chip 20 was carried out is carried in a mother board 30 using a bump 14.

[0006] As the above-mentioned wiring substrate 10 is shown in drawing 2 (A) - (F), it is manufactured. First, as shown in this drawing (A) and (B), it punches to the rigid substrate 11, a pattern 40 is formed, and a gap is filled with a filler. Subsequently, an insulating layer 41 is formed, as shown in this drawing (C), subsequently to this drawing (D), Cu plating is formed in the whole surface, patterning of this is carried out and beer

42 and a circuit pattern 17 are formed so that it may be shown. The process shown in this drawing (C) and the process shown in this drawing (D) are repeated by the number of layers, and as shown in this drawing (E), the build up layers 12 and 13 are completed. Finally, solder REJIRUTO is applied to a vertical side and the solder REJIRUTO film 44 is formed in it.

[0007]

[Problem(s) to be Solved by the Invention] In the wiring substrate 10 of the above-mentioned build up structure, a circuit pattern 17 is difficult for 15-25 micrometers to be a limit and for width of face w1 to narrow more than this. This is based on the following two reasons.

[0008] The 1st reason: A part of Cu plating of a circuit pattern 17 remains. The adhesion reinforcement to the insulating layer 41 of Cu plating is not fully strong. Therefore, when a circuit pattern 17 is made narrower than 15-25 micrometers, the adhesion reinforcement to the insulating layer 41 of a circuit pattern 17 becomes weak, and there is a possibility that a circuit pattern 17 may exfoliate from an insulating layer 41.

[0009] The 2nd reason: In order to form a layer in piles, a wave surely appears in a front face. Since this wave exists, when exposing a mask on the resist film, the part whose focus does not suit is made, owing to this, the part from which the line of that edge turns into a curve can do a circuit pattern 17, and the part to which width of face becomes narrow by this may be formed. For this reason, when a circuit pattern 43 is made narrower than 15-25 micrometers, there is risk of an open circuit occurring in the part to which width of face became narrow.

[0010] As mentioned above, it is the relation between adhesion reinforcement and the danger of an open circuit, and it is difficult to make width of face w1 of a circuit pattern 17 narrower than 15-25 micrometers.

[0011] Moreover, as shown in drawing 1 (B), two or more electrode pads 16 and circuit patterns 17 of the LSI chip loading section 15 have the structure where the circuit pattern 17 pulled out from an inside electrode pad passes along between the outside ***** electrode pads 16. That is, two or more electrode pads 16 of the LSI chip loading section 15 are the structures where narrowing the pitch p1 of the list of the electrode pad 16 receives a limit with the width of face of a circuit pattern 17. Here, the width of face w1 of a circuit pattern 17 was 15-25 micrometers, and since it was difficult to narrow more than this, it was difficult [it] to make the pitch p1 of the list of the electrode pad 16 still narrower than current.

[0012] In addition, it becomes possible to make the pitch p1 of the list of the electrode pad 16 narrower than current by forming in the layer of the surface layer bottom the circuit pattern pulled out from an inside

electrode pad. However, if it does in this way, a number of layers increases, the yield of the wiring substrate 10 falls at this rate, and it is not desirable.

[0013] Moreover, in the LSI chip, in consideration of the heat dissipation nature of an electronic instrument, it is in the condition which held down power-source consumption to about 100W, and raising clock frequency to 1GHz and attaining improvement in the speed is called for. Generally, in an LSI chip, if clock frequency is raised, power-source consumption will increase along with it. Then, lowering the supply voltage of an LSI chip of operation from general 5V to 1.5V is made so that the power-source consumption of an LSI chip may not increase, even if it raises clock frequency. However, when the supply voltage of an LSI chip of operation is lowered, it is necessary to also lower the electrical potential difference of the noise generated at the time of actuation of an LSI chip. It is because a noise becomes easy to cause malfunction of an LSI chip.

[0014] In order to stop the electrical potential difference of this noise low, it is necessary to stop low the impedance between the voltage planes and grand layers in the part in which the LSI chip was carried. Thus, in order to stop an impedance low, it is necessary to hold down low the inductance between the voltage planes and grand layers in the part in which the LSI chip was carried even to for example, number pH level.

[0015] There is a ceramic wiring board as a wiring substrate which held down low the inductance between the voltage planes and grand layers in the part in which the LSI chip was carried even to for example, number pH level, and stopped the impedance between a voltage plane and a grand layer low. This ceramic wiring board is the configuration of becoming a substrate body made from a ceramic, and this top face from the thin film circuit section by which laminating formation of a voltage plane, an insulating layer, and the grand layer is carried out by thin film coating technology.

[0016] However, since the yield of this ceramic wiring board serves as a product which multiplied by the yield of a substrate body, and the yield of the thin film circuit section, it will become low fairly and a ceramic wiring board will be expensive.

[0017] Then, this invention aims at offering the chip module which used the wiring substrate and this which solved the above-mentioned technical problem.

[0018]

[Means for Solving the Problem] In order to solve the above-mentioned technical problem, it is made for invention of claim 1 to be the composite construction by which it has the flexible substrate of a configuration of

consisting of a rigid substrate, a circuit pattern formed in the film and this film, and the semiconductor chip loading section formed in the top face of this film, this flexible substrate was electrically connected with this rigid substrate, and laminating immobilization was carried out on the top face of this rigid substrate in the wiring substrate carried in a printed circuit board.

[0019] A flexible substrate has flat and front face where the adhesion reinforcement to the film of a circuit pattern is high, and can be formed more thinly than the case where width of face forms a circuit pattern by the conventional build up method, for the reasons of a gap of the focus at the time of being mask exposure not occurring. It is possible to become possible to narrow the pitch of the electrode pad of the semiconductor chip loading sections, such as an LSI chip, and for a current semiconductor chip to become possible [carrying a prospective semiconductor chip with the narrow pitch of an electrode] from current, of course, and to deal with ** pitch-ization of the electrode of a prospective semiconductor chip by this.

[0020] In the chip module which invention of claim 2 consists of a wiring substrate and a semiconductor chip carried in this, and is carried in a printed circuit board the above-mentioned wiring substrate It has the flexible substrate of a configuration of consisting of a rigid substrate, a circuit pattern formed in the film and this film, and the semiconductor chip loading section formed in the top face of this film. It is the composite construction by which this flexible substrate was electrically connected with this rigid substrate, and laminating immobilization was carried out on the top face of this rigid substrate, and considers as the configuration in which the above-mentioned semiconductor chip is carried in the above-mentioned semiconductor chip loading section.

[0021] Since the semiconductor chip loading section is formed in the flexible substrate, of course, a current semiconductor chip becomes possible [carrying a prospective semiconductor chip with the narrow pitch of an electrode] from current, and it becomes possible to realize the chip module with which the prospective semiconductor chip was carried.

[0022] In the wiring substrate carried in a printed circuit board, invention of claim 3 has the flexible substrate of a configuration of consisting of a rigid substrate, a circuit pattern formed in the film and this film, and the semiconductor chip loading section formed in the top face of this film, and is taken as the configuration which is the composite construction by which this flexible substrate was electrically connected with this rigid substrate, and laminating immobilization was carried out on the top face

and the inferior surface of tongue of this rigid substrate.

[0023] Of course, a current semiconductor chip becomes possible [carrying a prospective semiconductor chip with the narrow pitch of an electrode in both-sides side] from current.

[0024] Invention of claim 4 is taken as the configuration which consists of a semiconductor chip carried and mounted on the wiring substrate which is the composite construction which consists of a rigid substrate and a flexible substrate by which has a circuit pattern in the field of a film, was electrically connected with this rigid substrate, and laminating immobilization was carried out on the top face of this rigid substrate, and the above-mentioned flexible substrate of this wiring substrate.

[0025] According to this configuration, the chip module with which the semiconductor chip was carried is easily realizable by using a flexible substrate.

[0026] Invention of claim 5 is a composite construction which consists of a flexible substrate which has a circuit pattern in the field of a film and was arranged in the center, and a rigid substrate by the side of the top face which was electrically connected with this flexible substrate on both sides of this flexible substrate, and was fixed with this flexible substrate, and an inferior surface of tongue.

[0027] According to this configuration, the wiring substrate of the structure of having a rigid substrate in a vertical side side can be manufactured to stability.

[0028] In the wiring substrate with which invention of claim 6 is carried in a printed circuit board A rigid substrate, It is the composite construction which becomes the top face of this rigid substrate from the thin film multilayer foil by which laminating immobilization was carried out. The above-mentioned rigid substrate It is the configuration of having the printed circuit board loading section for carrying in the above-mentioned printed circuit board on the inferior surface of tongue, and having the thin film multilayer foil loading section for carrying the above-mentioned thin film multilayer foil in a top face. The above-mentioned thin film multilayer foil It is the configuration that the laminating of the voltage plane which consists of film, the insulating layer which consists of film, and the grand layer which consists of film is carried out, and considers as the configuration which has the magnitude corresponding to a semiconductor chip, has the semiconductor chip loading section on the top face, and has the rigid substrate loading section for carrying in the above-mentioned rigid substrate on the inferior surface of tongue.

[0029] The configuration to which the laminating of the voltage plane which a thin film multilayer foil becomes from the film, respectively, an insulating layer, and the grand layer was carried out acts so that the impedance between the voltage planes and grand layers in the part in which the semiconductor chip was carried may be made low. By stopping low the impedance between the voltage planes and grand layers in the part in which the semiconductor chip was carried, the noise electrical potential difference to generate is stopped low. Therefore, also in the situation which lowered the supply voltage of a semiconductor chip of operation from general 5V to 1.5V, the carried semiconductor chip can operate to stability so that the clock frequency of the semiconductor chip carried may be raised to 1GHz, and improvement in the speed may be attained and the power-source consumption of a semiconductor chip may not increase.

[0030] The configuration whose magnitude of a thin film multilayer foil is the magnitude corresponding to a semiconductor chip makes cost of a wiring substrate cheap.

[0031] In the chip module which invention of claim 7 consists of a wiring substrate and a semiconductor chip carried in this, and is carried in a printed circuit board the above-mentioned wiring substrate It is the composite construction which becomes the top face of a rigid substrate and this rigid substrate from the thin film multilayer foil by which laminating immobilization was carried out. The above-mentioned rigid substrate It is the configuration of having the printed circuit board loading section for carrying in the above-mentioned printed circuit board on the inferior surface of tongue, and having the thin film multilayer foil loading section for carrying the above-mentioned thin film multilayer foil in a top face. The above-mentioned thin film multilayer foil It is the configuration that the laminating of the voltage plane which consists of film, the insulating layer which consists of film, and the grand layer which consists of film is carried out. It considers as the configuration which has the magnitude corresponding to the above-mentioned semiconductor chip, has the semiconductor chip loading section on the top face, and has the rigid substrate loading section for carrying in the above-mentioned rigid substrate on the inferior surface of tongue, and considers as the configuration in which the above-mentioned semiconductor chip is carried in the above-mentioned semiconductor chip loading section.

[0032] The configuration to which the laminating of the voltage plane which a thin film multilayer foil becomes from the film, respectively, an insulating layer, and the grand layer was carried out acts so that the impedance between the voltage planes and grand layers in the part in which

the semiconductor chip was carried may be made low. By stopping low the impedance between the voltage planes and ground layers in the part in which the semiconductor chip was carried, the noise electrical potential difference to generate is stopped low. Therefore, also in the situation which lowered the supply voltage of a semiconductor chip of operation from general 5V to 1.5V, a semiconductor chip can operate to stability so that the clock frequency of the carried semiconductor chip may be raised to 1GHz, and improvement in the speed may be attained and the power-source consumption of a semiconductor chip may not increase. The configuration whose magnitude of a thin film multilayer foil is the magnitude corresponding to a semiconductor chip makes cost of a wiring substrate cheap. [0033]

[Embodiment of the Invention] The [1st example] Drawing 3 (A), (B), and drawing 4 show the wiring substrate 50 for LSI chip loading mounting and multi chip module 90 which become the 1st example of this invention.

[0034] First, the wiring substrate 50 for LSI chip loading mounting is explained. The wiring substrate 50 is a composite construction which consists of a flexible substrate 52 which has the wiring layer of the bilayer by which adhesion immobilization was carried out on the rigid substrate 51 and this top face of the product made from glass epoxy which has much more wiring layer, as it combines with drawing 5 and is shown. As shown in drawing 3 (A), the LSI chip loading section 53 is formed in the top face of the wiring substrate 50. The LSI chip loading section 53 is the configuration that two or more electrode pads 54 are located in a line, and the circuit pattern 55 is prolonged on the outside of the LSI chip loading section 53 from each electrode pad 54. The bump 56 is formed in the inferior surface of tongue of the wiring substrate 50. A circuit pattern 55 has width of face w2 as narrow as abbreviation one half compared with about 20 micrometers and the former, and, therefore, the pitch p2 of the list of the electrode pad 54 is narrower than the conventional pitch p1 so that it may mention later. In addition, two flexible substrates 52 may be piled up.

[0035] As shown in drawing 5, the wiring substrate 50 manufactures the rigid substrate 51 and the flexible substrate 52 separately, pastes up the flexible substrate 52 on the top face of the rigid substrate 51, and is manufactured.

[0036] As the rigid substrate 51 is shown in drawing 5 (A) - (F), it is manufactured. This drawing (A) is the original rigid substrate 60, and is a product made from glass epoxy. First, Cu plating is carried out so that it may punch to the original rigid substrate 60 as shown in this drawing

(B), and it may be shown subsequently to this drawing (C), Cu plating film 61 is formed, the bulking agent of a conductor is buried to a through hole 62 so that a through hole 62 is formed, and a pattern 63 may be formed by carrying out patterning so that it may be shown subsequently to this drawing (D) and it may be shown subsequently to this drawing (E), and ***** beer 67 is formed. finally, it is shown in this drawing (F) -- as -- a conductor -- a stud 64 is stood, solder REJIRUTO is applied to a vertical side, and the solder REJIRUTO film 65 is formed. a conductor -- a stud 64 is a conductive paste or a conductive-elastomer sheet.

[0037] As the flexible substrate 52 is shown in drawing 5 (G) - (L), it is manufactured. Drawing 5 (G) is the original flexible substrate 70, and the Cu film 72 and 73 is formed in the vertical side of the insulating film 71. First, the through hole 75 which carries out Cu plating, forms Cu plating film 74, and takes an up-and-down flow is formed so that it may be shown, subsequently to this drawing (I), as shown in this drawing (H), it punches to the original flexible substrate 70, subsequently to this drawing (J), the bulking agent of a conductor is buried and made up for to a through hole 75 so that it may be shown, and beer 79 is formed. Subsequently, patterning of resist spreading, mask exposure, the development, etc. is performed and carried out, and as shown in this drawing (K), the electrode pad 76 and circuit pattern 77 grade are formed in a top face on the electrode pad 54 and a circuit pattern 55, and the inferior surface of tongue. Finally, as shown in this drawing (L), solder REJIRUTO is applied to a vertical side and the solder REJIRUTO film 78 is formed in it.

[0038] As shown in drawing 5 (M), insulating adhesives are applied to the top face of the rigid substrate 51, the adhesives layer 66 is formed, alignment of the flexible substrate 52 is carried out to the top face of the rigid substrate 51, and it carries out a laminating to it. The flexible substrate 52 is pasted up on the top face of the rigid substrate 51 by the adhesives layer 66. Adhesion loses flexibility for the flexible substrate 52 united with the rigid substrate 51. moreover, the electrode pad 76 of the inferior surface of tongue of the flexible substrate 52 -- the conductor of the top face of the rigid substrate 51 -- it sticks with a stud 64, the electrical installation of the thickness direction is made, and the flexible substrate 52 is connected as electrically as the rigid substrate 51.

[0039] Here, the electrode pad 54 and a circuit pattern 55 are looked at. Generally, the Cu film 72 of drawing 5 (G) is formed by sputtering, and its adhesion reinforcement to the film 71 of the Cu film 72 is more fairly [than the case of Cu film formed by plating] strong. Therefore, a circuit

pattern 55 can be made width of face still narrower than conventional 15-25 micrometers.

[0040] Moreover, there is no wave in a top face in the state of drawing 5 (J). Therefore, the exposure to the resist film of a mask is made after the focus has suited on the whole, and for this reason, the part from which a circuit pattern 55 serves as a straight line, and the line of that edge turns into a curve is not formed. Therefore, a circuit pattern 55 covers an overall length, and is formed by the same width of face, and the part to which width of face becomes narrow so that it may be narrow is not formed. For this reason, a circuit pattern 55 can be made width of face still narrower than conventional 15-25 micrometers.

[0041] Therefore, the circuit pattern 55 serves as width of face w_2 of about 5-10 micrometers of the 15-25-micrometer conventional abbreviation one half.

[0042] Since the width of face w_2 of a circuit pattern 55 is as narrow as about 5-10 micrometers, the pitch p_2 of the list of the electrode pad 54 is narrower than the conventional pitch p_1 . Therefore, the LSI chip loading section 53 with an electrode able to carry and mount the future LSI chip which is a $**$ pitch rather than current as well as a current LSI chip is realizable. Moreover, it is possible to make wiring high-density compared with the former.

[0043] In addition, since the above-mentioned wiring substrate 50 is a configuration which manufactures the rigid substrate 51 and the flexible substrate 52 separately, pastes up the flexible substrate 52 on the top face of the rigid substrate 51, and is manufactured as shown in drawing 5, compared with the wiring substrate manufactured by the conventional build up method, high density wiring is possible for it, and also it has the following features.

[0044] - The yield of manufacture is good. It is because it is not necessary to put every much more about a layer.

[0045] - The design change in the middle of manufacture is easy. It is because it is sufficient if the design change only of the flexible substrate 52 is carried out, and the rigid substrate 51 remains as it is and it ends.

[0046] - Turn around time (time amount which manufacture takes) becomes short. It is because the rigid substrate 51 and the flexible substrate 52 are separately manufactured independently.

[0047] As shown in drawing 3 (A) and drawing 4, it connects with the electrode pad 54 which corresponds the bump 83 at the bottom, and one CPU80 and two memory 81 and 82 which are semiconductor chips, such as an LSI chip, paste both the wiring substrates 50 with the wiring substrate 50 with

adhesives 84, and are mounted in them. This constitutes the multi chip module 90.

[0048] This multi chip module 90 is carried and mounted in the mother board 100 using the bump 56.

[0049] Next, the above-mentioned modification and its above-mentioned use mode of the wiring substrate 50 are explained. The same sign which attached Subscript A etc. is given to the component shown in drawing 3 (A), and a corresponding part among each drawing.

[0050] Drawing 6 is the 1st modification. Wiring substrate 50A is the configuration of connecting with rigid substrate 51A electrically, and having pasted up flexible substrate 52A on the top face of rigid substrate 51A. It is the configuration that the number of the wiring layers of flexible substrate 52A is added to the wiring layer of rigid substrate 51A, and this wiring substrate 50A is effective when increasing the number of wiring layers. This wiring substrate 50A is carried and is used, being mounted on mother board 100A.

[0051] Drawing 7 is the 2nd modification. Wiring substrate 50B is a configuration which flexible substrate 52B is electrically connected with rigid substrate 51B to a specific field among the top faces of rigid substrate 51B, and has been pasted up. It is the configuration that the number of the wiring layers of flexible substrate 52B is added to the wiring layer of rigid substrate 51B, and about a specific field, when increasing the number of wiring layers partially, there is no futility, and this wiring substrate 50B is rational, and effective. This wiring substrate 50B is carried and is used, being mounted on mother board 100B.

[0052] Drawing 8 is the 3rd modification. Chip module 90C is the configuration of having mounted LSI chip 85 in wiring substrate 50C. Wiring substrate 50C is a configuration which it limits to the part in which LSI chip 85 is carried among the top faces of rigid substrate 51C, and flexible substrate 52C is electrically connected with rigid substrate 51C, and has been pasted up. This wiring substrate 50C is carried and is used, being mounted on mother board 100C. When it mounts a small number of LSI chips, for example, one LSI chip, there is no futility, and wiring substrate 50C of this structure is rational, and effective.

[0053] Drawing 9 is the 4th modification. Wiring substrate 50D is the configuration of connecting with rigid substrate 51D electrically, and having pasted up flexible substrate 52D on some fields pinpointed among the top faces of rigid substrate 51D as a mother board. About some pinpointed fields, it is the configuration that the number of the wiring layers of flexible substrate 52D is added to the wiring layer of rigid substrate 51D,

and this wiring substrate 50D is effective, when increasing the number of wiring layers partially.

[0054] Drawing 10 is the 5th modification. Chip module 90E is the configuration of having mounted LSI chip 85 in wiring substrate 50E as a mother board. Wiring substrate 50E is the configuration of connecting with rigid substrate 51E electrically, and having pasted up flexible substrate 52E on the part in which LSI chip 85 is carried among the top faces of rigid substrate 51E.

[0055] Flexible substrate 52E has the function as INTAPOZA which makes the pitch of the electrode on wiring substrate 50C narrow even in the pitch of the electrode of LSI chip 85. Therefore, it is possible to carry LSI chip 85 on wiring substrate 50E.

[0056] In addition, loading to rigid substrate 51 of flexible substrate 52E is made through the following processes.

[0057] - Print a paste into a pad part.

[0058] - To rigid substrate 51E, carry out alignment of the flexible substrate 52E, and it carries out temporary junction.

[0059] - Carry out reflow soldering for rigid substrate 51E which carried out temporary junction with a nitrogen gas furnace etc.

[0060] - Wash.

[0061] - Fill up the clearance between flexible substrate 52E and rigid substrate 51E with an epoxy resin.

[0062] - At the end, carry out heat curing of the filled epoxy resin.

[0063] 86 are the epoxy resin which heat-hardened among drawing 10 .

[0064] In addition, when it is going to mount LSI chip 85 on wiring substrate 50C without using flexible substrate 52E, it is necessary to form a several layers wiring layer in the predetermined part on wiring substrate 50C by the build up method. For that, a large-scale facility is needed, and the yield also worsens. However, such a problem will be solved if flexible substrate 52E is used.

[0065] Drawing 11 (A) and (B) are the 6th modification. The mother board assembly 110 is the structure where the multi chip module 90 shown in drawing 3 (A) was carried and mounted in the top face of wiring substrate 50E as a mother board of chip module 90E shown in drawing 10 .

[0066] Next, other examples are explained.

[0067] The [2nd example] Drawing 12 shows wiring substrate 50F which become the 2nd example of this invention. these wiring substrate 50F are rigid -- the common substrate with which substrate 51F become the base -- it is -- this -- rigid -- flexible substrate 52 F-1 is flexible on the inferior surface of tongue to the top face of substrate 51F -- substrate 52F-2 are

rigid -- it is the configuration which connects with substrate 51F electrically and has been pasted up.

[0068] These wiring substrate 50F are used for those both sides carrying an LSI chip.

The [3rd example] Drawing 13 shows wiring substrate 50G which become the 3rd example of this invention. these wiring substrate 50G are flexible -- the common substrate with which substrate 52G become the base -- it is -- this -- flexible -- rigid on both sides of substrate 52G -- substrate 51G-1 and 51G-2 are flexible -- it is the configuration prepared on both sides of substrate 52G.

[0069] according to this configuration -- a vertical side side -- the rigid substrate 51 -- wiring substrate 50G of structure which have G-1 and 51G-2 can be manufactured to stability.

[0070] The [4th example] Drawing 14 shows wiring substrate 50H which become the 4th example of this invention. Substrate 51H are a common substrate used as the base. these wiring substrate 50H are rigid -- It connects with substrate 51H electrically, and has pasted up. this -- rigid -- flexible on the top face of substrate 51H -- as flexible as substrate 52H-1 -- substrate 52H-2 are located in a line, they are allotted, and are rigid -- rigid -- flexible on the inferior surface of tongue of substrate 51H -- as flexible as substrate 52H-3 -- substrate 52H-4 are located in a line, they are allotted, and are rigid -- it is the configuration which connects with substrate 51H electrically and has been pasted up. flexible -- substrate 52H-1-52H-4 are a mutually different flexible substrate.

[0071] flexible, for example according to this configuration -- wiring substrate 50H can perform simply changing into two or more wiring substrates with which classes differ by changing some of substrate 52H-1-52H-4 with another thing.

[0072] The [5th example] Drawing 15 shows wiring substrate 50I which becomes the 5th example of this invention. This wiring substrate 50I is a common substrate with which flexible substrate 51I becomes the base. It connects with flexible substrate 51I electrically, and substrate 52I-2 are pasted up. rigid on the top face of this flexible substrate 51I -- as rigid as substrate 52I-1 -- rigid on the inferior surface of tongue of flexible substrate 51I -- as rigid as substrate 52I-3 -- it is the configuration of connecting with flexible substrate 51I electrically, and having pasted up substrate 52I-4. rigid -- substrate 52I-1-52I-4 are a mutually different rigid substrate.

[0073] for example, rigid -- by changing some of substrate 52I-1-52I-4 with another thing, wiring substrate 50I can perform simply changing into two

or more wiring substrates with which classes differ.

[0074] This wiring substrate 50I can be bent using the part 120 which central flexible substrate 51I has exposed, for example, can be used for wiring ranging over between the liquid crystal panel of the personal computer of a pocket mold, and keyboards.

[0075] The [6th example] Drawing 16 (A) and (B) show LSI chip loading fruit wearing wiring substrate 50J and the chip module 120 which become the 6th example of this invention.

[0076] the object for LSI chip loading mounting -- wiring substrate 50J are a composite construction which consists of a thin film multilayer foil 160 shown in the top face of the rigid substrate 130 shown in drawing 18 (B), and this rigid substrate 130 at drawing 18 (A) by which laminating immobilization was carried out, as it expands to drawing 17 and is shown. The thin film multilayer foil 160 is manufactured independently [the rigid substrate 130], and laminating immobilization is carried out on the top face of the rigid substrate 130 so that it may mention later.

[0077] the chip module 120 -- the wiring substrate 50 for LSI chip loading mounting -- it is the structure which CPU chip 80 which is an LSI chip is connected with electrode pad 168VU which corresponds the bump 83 at the bottom, 169GU, and 170SU, and has been mounted in the top face of J by pasting up with wiring substrate 50J with adhesives 84. This chip module 120 is carried and mounted in the mother board 100 using the bump 56.

[0078] First, LSI chip loading fruit wearing wiring substrate 50J are explained.

[0079] As shown in drawing 21 , wiring substrate 50J manufacture separately the rigid substrate 130 and the thin film multilayer foil 160, join the thin film multilayer foil 160 to the top face of the rigid substrate 130, and are manufactured.

[0080] As the thin film multilayer foil 160 is shown in drawing 18 (A), drawing 16 (A), and drawing 20 (F) It has the magnitude corresponding to CPU chip 80. Sequentially from the inferior-surface-of-tongue 160b side The insulating layer 163 made from polyimide, voltage plane 164V made from Cu, the insulating layer 165 made from polyimide, grand layer 166G made from Cu, And it has the insulating layer 166 made from polyimide, and has power-source beer 168V linked to voltage plane 164V, grand layer 166G and grand beer 169G connected, and signal beer 170S that have not been connected to a voltage plane 164 and the grand layer 166. Bottom power-source electrode pad 168VL is formed in top power-source electrode pad 168VU and a lower limit at the upper limit of power-source beer 168V, bottom grand electrode pad 169GL is formed in top grand electrode pad 169GU and a lower

limit at the upper limit of grand beer 169G, and bottom signal-electrode pad 170SL is formed in top signal-electrode pad 170SU and a lower limit at the upper limit of signal beer 170S. The thin film multilayer foil 160 is the structure where it does not have the base member which supports each class.

[0081] At the time of actuation of the chip module 120, a noise is generated within a mother board 100, the rigid substrate 130, and the thin film multilayer foil 160. The noise which affects actuation of CPU chip 80 among these noises has the main noise generated within the thin film multilayer foil 160 to which the terminal of CPU chip 80 is connected directly.

[0082] Moreover, thickness t of the insulating layer 165 of the thin film multilayer foil 160 is 10 micrometers or less. The inductance between voltage plane 164V which sandwiched this insulating layer 165 in between, and grand layer 166G (VG inductance) is Number pH, and is low double figures compared with several 100 pH which is VG inductance in the usual built-up substrate. Therefore, compared with VG impedance in the usual built-up substrate, the double figures of VG impedance of the thin film multilayer foil 160 are also low.

[0083] As shown in drawing 16 (B), the LSI chip loading section 161 is formed in top-face 160a of the thin film multilayer foil 160. The LSI chip loading section 161 is located in a line by the arrangement to which two or more electrode pad 168VU, 169GU, and 170SU correspond with the bump 83 of the inferior surface of tongue of CPU chip 80. Moreover, two or more electrode pad 168VLs, 169GL, and 170SL are located in a line with inferior-surface-of-tongue 160b of the thin film multilayer foil 160 by the same arrangement as two or more electrode pad 168VU of the above-mentioned LSI chip loading section 161, 169GU, and 170SU.

[0084] Next, with reference to drawing 19 and drawing 20, the manufacture approach of the above-mentioned thin film multilayer foil 160 is explained.

[0085] The thin film multilayer foil 160 is manufactured through the substrate exfoliation film formation process 190 -> conductor-layer formation process 191 -> insulation layer forming process 192 -> multilayering process 193 -> thin film multilayer foil exfoliation process 194 -> thin film multilayer foil cutting process 195, as shown in drawing 19 (A) and drawing 20 (A).

[0086] Substrate exfoliation film formation process 190: As shown in drawing 19 (B), carry out sputtering of the chromium (Cr) to the top face of a glass plate 200, and form the substrate exfoliation film 201 in it.

[0087] Conductor-layer formation process 191: As shown in drawing 19 (C), carry out sputtering of the Cu and form a conductor layer 202 in the top

face of the substrate exfoliation film 201.

[0088] Subsequently, as shown in drawing 19 (D), a resist is applied, exposure and a development are performed and etching resist 203 is formed.

[0089] Subsequently, as shown in drawing 19 (E), a conductor layer 202 is etched, etching resist 203 is exfoliated and electrode pad 168VL, 169GL, and 170SL are formed next.

[0090] Insulation layer forming process 192: As shown in drawing 19 (F), carry out the spin coat of the photosensitive polyimide, and form the wrap photosensitivity polyimide insulating layer 203 for electrode pad 168VL, 169GL, and 170SL.

[0091] Subsequently, as shown in drawing 19 (G), exposure, development, and cure processing are performed to the photosensitive polyimide insulating layer 203, and the polyimide insulating layer 204 is formed.

[0092] Multilayering formation process 193: As shown in drawing 19 (H), repeat formation of a conductor layer 202, and formation of the polyimide insulating layer 204, in order, form so that the insulating layer 166 made from grand layer 166G and polyimide of the insulating layer 163 made from polyimide, voltage plane 164V made from Cu, the insulating layer 165 made from polyimide, and the product made from Cu may be piled up, and form thin film multilayer foil 160A of large size.

[0093] An insulating layer 165 is formed on a spin coat, and is formed by the thickness of 10 micrometers or less.

[0094] Moreover, as shown in drawing 20 (A), thin film multilayer foil 160A was formed in size somewhat smaller than the substrate exfoliation film 201, and the surrounding part is exposed among the substrate exfoliation film 201. 201a is a part overflowed and exposed to a perimeter from thin film multilayer foil 160A among the substrate exfoliation film 201.

[0095] Thin-film multilayer foil exfoliation process 194: As shown in drawing 20 (B) and (C), etch partial 201a which has exposed the substrate exfoliation film 201, carry out excess dirty further, and form the float section 205 in the part around thin film multilayer foil 160A.

[0096] Subsequently, as shown in drawing 20 (D), the edge of thin film multilayer foil 160A is held and pulled up using the float section 205, and thin film multilayer foil 160A is torn off from a glass plate 200 from the part of the perimeter.

[0097] Thin-film multilayer foil cutting process 195: As shown in drawing 20 (E), use a cutter, and as a line 206 shows, cut torn-off thin film multilayer foil 160A in the size corresponding to CPU chip 80. Two or more manufactures of the thin film multilayer foil 160 shown in drawing 20 (F) and drawing 18 (A) are carried out by this.

[0098] Next, the manufacture approach of the rigid substrate 130 is explained with reference to drawing 21 .

[0099] As the rigid substrate 130 is shown in drawing 21 (A) - (F), it is manufactured. This drawing (A) is the multilayer substrate 131 of the rigid origin which accumulates by turns the adhesion sheet (prepreg) changed into the inner layer material in which the circuit pattern was formed, and a semi-hardening condition, and heats and comes to pressurize it. Cu plating is carried out so that it may punch as shown in this drawing (B) at this multilayer substrate 131, and it may be shown subsequently to this drawing (C), Cu plating film 132 is formed, the bulking agent of a conductor is buried to a through hole 133 so that a through hole 133 is formed, and a pattern 134 may be formed by carrying out patterning so that it may be shown subsequently to this drawing (D) and it may be shown subsequently to this drawing (E), and ***** beer 135 is formed. Finally, as shown in this drawing (F), solder REJIRUTO is applied to a vertical side and the solder REJIRUTO film 139 is formed in it. The rigid substrate 130 shown in drawing 21 (F) and drawing 18 (B) is manufactured by the above.

[0100] Thus, the manufactured rigid substrate 130 is the structure where the laminating of voltage plane 140V, an insulating layer 141, and grand layer 142G is carried out to the interior. Considering the above-mentioned manufacture approach, the thickness t1 of insulating-layer 141k is 20 micrometers or more.

[0101] the object for LSI chip loading mounting -- wiring substrate 50J are manufactured by joining the thin film multilayer foil 160 to the top face of the rigid substrate 130, as shown in drawing 21 (F), (G), and (H). LSI chip loading fruit wearing wiring substrate 50J have electrode pad 168VU, 169GU, and 170SU on the top face.

[0102] junction on the top face of the rigid substrate 130 of the thin film multilayer foil 160 is shown in drawing 22 -- as -- soldering paste presswork 220-> -- temporary -- a junction process 221 -> reflow soldering process 222 -> washing process 223 -> epoxy resin packer needs to pass the 234 -> heat-curing process 235 -- it is manufactured.

[0103] Soldering-paste process 220: Print soldering paste to each electrode pad 150 of the top face of the rigid substrate 130 at this process.

[0104] Temporary junction process 221: At this process, carry out alignment so that two or more electrode pad 168VLs of that inferior-surface-of-tongue 160b, 169GL, and 170SL may counter each electrode pad 150 of the top face of the rigid substrate 130 in the thin film multilayer foil 160, put on the top face of the rigid substrate 130, and carry out temporary junction.

[0105] Reflow soldering process 222: At this process, use a nitrogen gas

furnace or VPS (vapor phase soldering), and carry out reflow soldering. By this, solder 240 is attached, as shown in drawing 17 , and electrode pad 168VL, 169GL, 170SL, and the electrode pad 150 which have countered are joined.

[0106] Washing process 223: Flush the soldering paste which washed and has adhered to the soldered part at this process.

[0107] Degree [an epoxy resin packer] 234: Fill up an epoxy resin with this process into the clearance 241 between the top face of the rigid substrate 130, and the inferior surface of tongue of the thin film multilayer foil 160 for the closure.

[0108] Heat-curing process 235: At this process, heat even beyond the temperature which an epoxy resin hardens and carry out heat curing of the epoxy resin with which it fills up. A sign 242 is the epoxy resin by which heat curing was carried out.

[0109] Here, the features of the above-mentioned LSI chip loading fruit wearing wiring substrate 50J and the above-mentioned chip module 120 are explained.

[0110] - Stopping the power-source consumption of CPU chip 80, the chip module 120 can stop a noise electrical potential difference low, when the clock frequency of CPU chip 80 is raised to 1GHz and improvement in the speed is attained. Thickness t of an insulating layer 165 is as thin as 10 micrometers or less, and it is because VG impedance between voltage plane 164V and grand layer 166G serves as low level of Number pH.

[0111] - LSI chip loading fruit wearing wiring substrate 50J have the good yield of manufacture. It is because it is not necessary to put every much more about a layer.

[0112] - The design change in the middle of manufacture is easy for LSI chip loading fruit wearing wiring substrate 50J. It is because it is sufficient if the design change only of the thin film multilayer foil 160 is carried out, and the rigid substrate 130 remains as it is and it ends.

[0113] - Turn around time (time amount which manufacture takes) becomes short. It is because the rigid substrate 130 and the thin film multilayer foil 160 are separately manufactured independently.

[0114] Next, the modification of LSI chip loading fruit wearing wiring substrate 50J is explained.

[0115] The product made from SiO₂ is sufficient, mixing with SiO₂ and polyimide is sufficient as the above-mentioned insulating layer 165, and its thing is good at Ta 205 or BST (barium titanate stolon CHUMU).

[0116] It is also possible to replace with the above-mentioned solder 240 and to use Ag paste. It may replace with junction by solder 240, and

diffusion of metals, such as Cu-Sn, may be used.

[0117] Moreover, the epoxy resin which the flow metal mixed may perform junction on the top face of the rigid substrate 130 of the thin film multilayer foil 160.

[0118] Drawing 23 (A) shows the 1st modification of LSI chip loading fruit wearing wiring substrate 50J. the object for LSI chip loading mounting -- wiring substrate 50J-1 is a configuration which arranges thin film [of two sheets] multilayer foil 160-1a, and thin film multilayer foil 160-1b in the top face of the rigid substrate 130-1, and is joined to it.

[0119] Drawing 23 (B) shows the 2nd modification of LSI chip loading fruit wearing wiring substrate 50J. the object for LSI chip loading mounting -- wiring substrate 50J-2 are a configuration joined to the top face of the rigid substrate 130-2 in piles in thin film multilayer foil 160-2a and thin film multilayer foil 160-2b of two sheets.

[0120] Drawing 23 (C) shows the 1st modification of LSI chip loading fruit wearing wiring substrate 50J. the object for LSI chip loading mounting -- wiring substrate 50J-3 are the configuration that thin film multilayer foil 160-1a is joined to the top face of the rigid substrate 130-3, and thin film multilayer foil 160-3b is joined to the inferior surface of tongue of the rigid substrate 130-3.

[0121] Additional remark this invention includes invention of the following contents.

[0122] - It is the wiring substrate which two or more sheets are located in a line, and the flexible substrate by the side of the top face of the above-mentioned rigid substrate is arranged in the wiring substrate of claim 2 publication, and considered the flexible substrate by the side of the inferior surface of tongue of the above-mentioned rigid substrate as the configuration to which two or more sheets are located in a line, and are allotted.

[0123] This wiring substrate has the effectiveness that it can perform simply changing a wiring substrate into two or more wiring substrates with which classes differ, by changing some of the flexible substrates with another thing.

[0124] - It is the wiring substrate which two or more sheets are located in a line, and the rigid substrate by the side of the above-mentioned top face is arranged in the wiring substrate of claim 5 publication, and considered the rigid substrate by the side of an inferior surface of tongue as the configuration to which two or more sheets are located in a line, and are allotted.

[0125] This wiring substrate can be bent using the part which the flexible

substrate has exposed, for example, although wired ranging over between the liquid crystal panel of the personal computer of a pocket mold, and keyboards, it is usable.

[0126]

[Effect of the Invention] In the wiring substrate with which invention of claim 1 is carried in a printed circuit board as explained above It has the flexible substrate of a configuration of consisting of a rigid substrate, a circuit pattern formed in the film and this film, and the semiconductor chip loading section formed in the top face of this film. On the top face of this rigid substrate, making it be the composite construction by which this flexible substrate was electrically connected with this rigid substrate, and laminating immobilization was carried out A sake, For the reasons of a gap of the focus at the time of and and the front face where a flexible substrate has the high adhesion reinforcement to the film of a circuit pattern being flat, and being mask exposure not occurring According to it being possible to form more thinly than the case where width of face forms a circuit pattern by the conventional build up method It becomes possible to narrow the pitch of the electrode pad of the semiconductor chip loading section. The present semiconductor chip becomes possible [, carrying a prospective semiconductor chip with the pitch of an electrode narrower than the present, of course], and the wiring substrate which can be dealt with ** pitch-ization of the electrode of a prospective semiconductor chip can be realized.

[0127] In the chip module which invention of claim 2 consists of a wiring substrate and a semiconductor chip carried in this, and is carried in a printed circuit board the above-mentioned wiring substrate It has the flexible substrate of a configuration of consisting of a rigid substrate, a circuit pattern formed in the film and this film, and the semiconductor chip loading section formed in the top face of this film. In order to be the composite construction by which this flexible substrate was electrically connected with this rigid substrate, and laminating immobilization was carried out on the top face of this rigid substrate and to consider as the configuration in which the above-mentioned semiconductor chip is carried in the above-mentioned semiconductor chip loading section, By having formed the semiconductor chip loading section in the flexible substrate, the present semiconductor chip becomes possible [, carrying a prospective semiconductor chip with the pitch of an electrode narrower than the present, of course], and the chip module with which the prospective semiconductor chip was carried can be realized.

[0128] In the wiring substrate with which invention of claim 3 is carried

in a printed circuit board A rigid substrate, It has the flexible substrate of a configuration of consisting of a circuit pattern formed in the film and this film and the semiconductor chip loading section formed in the top face of this film. In order to consider as the configuration which is the composite construction by which this flexible substrate was electrically connected with this rigid substrate, and laminating immobilization was carried out on the top face and inferior surface of tongue of this rigid substrate, The present semiconductor chip can realize the wiring substrate which can, of course, carry a prospective semiconductor chip with the pitch of an electrode narrower than the present in both-sides side.

[0129] The wiring substrate which is the composite construction which invention of claim 4 becomes from a rigid substrate and the flexible substrate by which has a circuit pattern in the field of a film, was electrically connected with this rigid substrate, and laminating immobilization was carried out on the top face of this rigid substrate, Since it considers as the configuration which consists of a semiconductor chip carried and mounted on the above-mentioned flexible substrate of this wiring substrate, the chip module with which the semiconductor chip was carried is easily realizable by using a flexible substrate.

[0130] Invention of claim 5 has a circuit pattern in the field of a film, and since it is what is the composite construction which consists of a flexible substrate arranged in the center, and a rigid substrate by the side of the top face which was electrically connected with this flexible substrate on both sides of this flexible substrate, and was fixed with this flexible substrate, and an inferior surface of tongue, it can manufacture to stability the wiring substrate of the structure of having a rigid substrate in a vertical side side.

[0131] The flexible substrate which invention of claim 6 has a circuit pattern in the field of a film, and was arranged in the center, Since it is what is the composite construction which consists of a rigid substrate by the side of the top face which was electrically connected with this flexible substrate on both sides of this flexible substrate, and was fixed with this flexible substrate, and an inferior surface of tongue, The configuration to which the laminating of the voltage plane which a thin film multilayer foil becomes from the film, respectively, an insulating layer, and the grand layer was carried out It acts so that the impedance between the voltage planes and grand layers in the part in which the semiconductor chip was carried may be made low. Therefore, the noise electrical potential difference to generate is low stopped by stopping low the impedance between the voltage planes and grand layers in the part in

which the semiconductor chip to carry was carried. Therefore, the semiconductor chip which carried the supply voltage of a semiconductor chip of operation also in the situation lowered from general 5V to 1.5V can operate to stability so that the clock frequency of the semiconductor chip to carry may be raised to 1GHz, and improvement in the speed may be attained and the power-source consumption of a semiconductor chip may not increase. Moreover, the magnitude of a thin film multilayer foil can write as the configuration which is the magnitude corresponding to a semiconductor chip, and can make cost of a wiring substrate cheap.

[0132] In the chip module which invention of claim 7 consists of a wiring substrate and a semiconductor chip carried in this, and is carried in a printed circuit board the above-mentioned wiring substrate It is the composite construction which becomes the top face of a rigid substrate and this rigid substrate from the thin film multilayer foil by which laminating immobilization was carried out. The above-mentioned rigid substrate It is the configuration of having the printed circuit board loading section for carrying in the above-mentioned printed circuit board on the inferior surface of tongue, and having the thin film multilayer foil loading section for carrying the above-mentioned thin film multilayer foil in a top face. The above-mentioned thin film multilayer foil It is the configuration that the laminating of the voltage plane which consists of film, the insulating layer which consists of film, and the grand layer which consists of film is carried out. Have the magnitude corresponding to the above-mentioned semiconductor chip, and it has the semiconductor chip loading section on the top face. In order to consider as the configuration which has the rigid substrate loading section for carrying in the above-mentioned rigid substrate on the inferior surface of tongue and to consider as the configuration in which the above-mentioned semiconductor chip is carried in the above-mentioned semiconductor chip loading section, The configuration to which the laminating of the voltage plane which a thin film multilayer foil becomes from the film, respectively, an insulating layer, and the grand layer was carried out acts so that the impedance between the voltage planes and grand layers in the part in which the semiconductor chip was carried may be made low. By stopping low the impedance between the voltage planes and grand layers in the part in which the semiconductor chip was carried, the noise electrical potential difference to generate is stopped low. Therefore, also in the situation which lowered the supply voltage of a semiconductor chip of operation from general 5V to 1.5V, a semiconductor chip can operate to stability so that the clock frequency of the carried semiconductor chip may be raised to 1GHz, and improvement

in the speed may be attained and the power-source consumption of a semiconductor chip may not increase. Moreover, the magnitude of a thin film multilayer foil can write as the configuration which is the magnitude corresponding to a semiconductor chip, can make cost of a wiring substrate cheap, and can make cost of a chip module cheap.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is drawing showing the conventional wiring substrate.

[Drawing 2] It is drawing explaining the manufacture approach of the wiring substrate of drawing 1 .

[Drawing 3] It is drawing showing the wiring substrate and multi chip module of the 1st example of this invention.

[Drawing 4] They are the wiring substrate of drawing 3 , and the top view of a multi chip module.

[Drawing 5] It is drawing showing the manufacture approach of the wiring substrate of drawing 3 .

[Drawing 6] It is drawing showing the 1st modification.

[Drawing 7] It is drawing showing the 2nd modification.

[Drawing 8] It is drawing showing the 3rd modification.

[Drawing 9] It is drawing showing the 4th modification.

[Drawing 10] It is drawing showing the 5th modification.

[Drawing 11] It is drawing showing the 6th modification.

[Drawing 12] It is drawing showing the wiring substrate of the 2nd example of this invention.

[Drawing 13] It is drawing showing the wiring substrate of the 3rd example of this invention.

[Drawing 14] It is drawing showing the wiring substrate of the 4th example of this invention.

[Drawing 15] It is drawing showing the wiring substrate of the 5th example of this invention.

[Drawing 16] It is drawing showing the wiring substrate and chip module of the 6th example of this invention.

[Drawing 17] It is drawing showing the wiring substrate for LSI chip loading mounting in drawing 16 .

[Drawing 18] It is drawing which a thin film multilayer foil and a rigid substrate are made to correspond, and is shown.

[Drawing 19] It is drawing showing the manufacture approach of the thin film multilayer foil of drawing 18 (A).

[Drawing 20] It is drawing following drawing 19 (G) showing the manufacture approach of a thin film multilayer foil.

[Drawing 21] It is drawing showing the manufacture approach of the wiring substrate for LSI chip loading mounting of drawing 17 .

[Drawing 22] It is drawing showing the process which joins a thin film multilayer foil to up to a rigid substrate among drawing 21 .

[Drawing 23] It is drawing showing roughly the modification of the wiring substrate for LSI chip loading mounting of drawing 16 .

[Description of Notations]

50, 50A-50J Wiring substrate

51 Rigid Substrate

52 Flexible Substrate

53 LSI Chip Loading Section

54 Electrode Pad

55 Circuit Pattern

57 79 Beer

64 Conductor -- Stud

66 Adhesives Layer

80 CPU

81 82 Memory

85 LSI Chip

90 Multi Chip Module

90C, 90E Chip module

100 Mother Board

130 Rigid Substrate 160 Thin Film Multilayer Foil

164V Voltage plane

163 Insulating Layer

166G Grand layer

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-353765

(P2000-353765A)

(43) 公開日 平成12年12月19日 (2000. 12. 19)

(51) Int.Cl. ⁷	識別記号	F I	テームコード* (参考)
H 0 1 L 23/12		H 0 1 L 23/12	N
H 0 5 K 1/02		H 0 5 K 1/02	B
	1/14		C
	3/46		L
			K
審査請求 未請求 請求項の数 7 O L (全 17 頁)			

(21) 出願番号 特願2000-44641 (P2000-44641)

(22) 出願日 平成12年2月22日 (2000. 2. 22)

(31) 優先権主張番号 特願平11-98896

(32) 優先日 平成11年4月6日 (1999. 4. 6)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 安田 直樹

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72) 発明者 瀬山 清隆

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74) 代理人 100070150

弁理士 伊東 忠彦

最終頁に続く

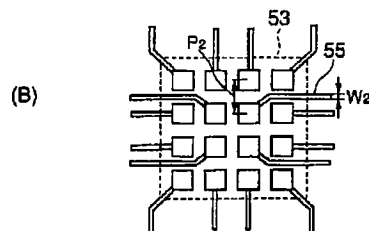
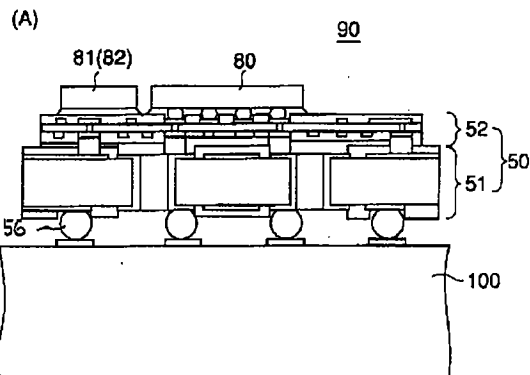
(54) 【発明の名称】 配線基板及びこれを使用したチップモジュール

(57) 【要約】

【課題】 本発明は配線基板に関し、現在よりも電極のピッチが狭い将来的な L S I チップを搭載することを可能にすることを課題とする。

【解決手段】 一層の配線層を有するガラスエポキシ製のリジッド基板 5 1 とこの上面に接着固定された二層の配線層を有するフレキシブル基板 5 2 とよりなる複合構造である。フレキシブル基板 5 2 は、フィルムの表面に配線パターンを有し、且つ上面に L S I チップ搭載部を有する。配線パターン 5 5 は幅が約 $20 \mu\text{m}$ と従来に比べて約半分と狭い。よって、電極パッド 5 4 の並びのピッチは従来のピッチより狭くなっている。

本発明の第1実施例の配線基板及びマルチチップモジュールを示す図



【特許請求の範囲】

【請求項1】 プリント基板に搭載される配線基板において、
リジット基板と、
フィルムと該フィルムに形成された配線パターンと該フィルムの上面に形成された半導体チップ搭載部とよりなる構成のフレキシブル基板とを有し、
該フレキシブル基板が、該リジット基板と電氣的に接続されて該リジット基板の上面に積層固定された複合構造であることを特徴とした配線基板。

【請求項2】 配線基板とこれに搭載してある半導体チップとよりなり、プリント基板に搭載されるチップモジュールにおいて、
上記配線基板は、リジット基板と、フィルムと該フィルムに形成された配線パターンと該フィルムの上面に形成された半導体チップ搭載部とよりなる構成のフレキシブル基板とを有し、該フレキシブル基板が、該リジット基板と電氣的に接続されて該リジット基板の上面に積層固定された複合構造であり、
上記半導体チップが上記半導体チップ搭載部に搭載してある構成としたことを特徴としたチップモジュール。

【請求項3】 プリント基板に搭載される配線基板において、
リジット基板と、
フィルムと該フィルムに形成された配線パターンと該フィルムの上面に形成された半導体チップ搭載部とよりなる構成のフレキシブル基板とを有し、
該フレキシブル基板が、該リジット基板と電氣的に接続されて該リジット基板の上面と下面とに積層固定された複合構造であることを特徴とした配線基板。

【請求項4】 リジット基板と、
フィルムの面に配線パターンを有し、該リジット基板と電氣的に接続されて該リジット基板の上面に積層固定されたフレキシブル基板とよりなる複合構造である配線基板と、
該配線基板の上記フレキシブル基板上に搭載して実装してある半導体チップとよりなる構成としたことを特徴としたチップモジュール。

【請求項5】 フィルムの面に配線パターンを有し、中央に配されたフレキシブル基板と、該フレキシブル基板を挟んで該フレキシブル基板と電氣的に接続されて該フレキシブル基板と固定された上面側及び下面側のリジット基板とよりなる複合構造であることを特徴とした配線基板。

【請求項6】 プリント基板に搭載される配線基板において、
リジット基板と、
該リジット基板の上面に積層固定された薄膜多層箔とよりなる複合構造であり、
上記リジット基板は、下面に上記プリント基板に搭載す

るためのプリント基板搭載部を有し、上面に上記薄膜多層箔を搭載するための薄膜多層箔搭載部を有する構成であり、

上記薄膜多層箔は、膜よりなる電源層、膜よりなる絶縁層、膜よりなるグラウンド層が積層されている構成であり、半導体チップに対応した大きさを有し、上面に半導体チップ搭載部を有し、下面に上記リジット基板に搭載するためのリジット基板搭載部を有する構成であることを特徴とした配線基板。

【請求項7】 配線基板とこれに搭載してある半導体チップとよりなり、プリント基板に搭載されるチップモジュールにおいて、
上記配線基板は、
リジット基板と、
該リジット基板の上面に積層固定された薄膜多層箔とよりなる複合構造であり、
上記リジット基板は、下面に上記プリント基板に搭載するためのプリント基板搭載部を有し、上面に上記薄膜多層箔を搭載するための薄膜多層箔搭載部を有する構成であり、

上記薄膜多層箔は、膜よりなる電源層、膜よりなる絶縁層、膜よりなるグラウンド層が積層されている構成であり、上記半導体チップに対応した大きさを有し、上面に半導体チップ搭載部を有し、下面に上記リジット基板に搭載するためのリジット基板搭載部を有する構成であり、

上記半導体チップが上記半導体チップ搭載部に搭載してある構成としたことを特徴としたチップモジュール。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は配線基板及びこれを使用したチップモジュールに係り、特にLSIチップを搭載して実装するための配線基板に関する。

【0002】LSIチップは、将来的に、パターンが微細化して、電極が狭ピッチ化する傾向にある。LSIチップを搭載して実装するための配線基板はこれに対応できる構造である必要がある。

【0003】

【従来の技術】図1(A)は従来のLSIチップ搭載実装用配線基板10を示す。この配線基板10は、ビルドアップ基板であり、ガラスエポキシ製のリジッド基板11の上下面にビルドアップ層12、13が形成しており、下面にはバンパ14が形成しており、上面にはLSIチップ搭載部15を有する構成である。LSIチップ搭載部15は、同図(B)に併せて示すように、複数の電極パッド16が並んでおり、各電極パッド16から配線パターン17がLSIチップ搭載部15の外側に延びている構成である。

【0004】LSIチップ20は、フリップチップ形態で、LSIチップ搭載部15に搭載実装される。即ち、

LSIチップ20の下面の bumps 21が対応する電極パッド16と半田付け接続しており、且つ、LSIチップ20と配線基板10との間には封止剤22が充填されている。

【0005】LSIチップ20が搭載実装された配線基板10は、bumps 14を利用してマザーボード30に搭載される。

【0006】上記配線基板10は、図2(A)～(F)に示すようにして製造される。まず、同図(A)、(B)に示すように、リジッド基板11に穴あけし、パターン40を形成し、充填材で穴埋めする。次いで、同図(C)に示すように、絶縁層41を形成し、次いで、同図(D)に示すように、Cuメッキを全面に形成し、これをパターンニングしてビア42及び配線パターン17を形成する。同図(C)に示す工程と同図(D)に示す工程とを層数分繰り返す、同図(E)に示すようにビルドアップ層12、13が完成する。最後に、上下面にソルダレジストを塗布してソルダレジスト膜44を形成する。

【0007】

【発明が解決しようとする課題】上記のビルドアップ構造の配線基板10においては、配線パターン17は幅w1が15～25μmが限度であり、これ以上は狭くすることが困難である。これは、以下の二つの理由による。

【0008】第1の理由：配線パターン17はCuメッキの一部が残ったものである。Cuメッキの絶縁層41への密着強度は十分に強くはない。よって、配線パターン17を15～25μmより狭くすると、配線パターン17の絶縁層41への密着強度が弱くなって、配線パターン17が絶縁層41から剥離する虞れがある。

【0009】第2の理由：層を重ねて形成するため、表面にどうしてもうねりが現れる。このうねりが存在するため、マスクをレジスト膜に露光する場合に、焦点が合わない部分ができ、これが原因で配線パターン17はその縁の線が曲線となる部分ができ、これによって幅が狭くなる部分が形成されてしまう場合がある。このため、配線パターン43を15～25μmより狭くすると、幅が狭くなった部分で断線が発生してしまう危険がある。

【0010】以上のように、密着強度と断線の危険性との関係で、配線パターン17の幅w1を15～25μmより狭くすることは困難である。

【0011】また、図1(B)に示すように、LSIチップ搭載部15の複数の電極パッド16と配線パターン17とは、内側の電極パッドから引き出される配線パターン17が外側の隣合う電極パッド16の間を通る構造となっている。即ち、LSIチップ搭載部15の複数の電極パッド16は、電極パッド16の並びのピッチp1を狭くすることが、配線パターン17の幅によって制限を受ける構造である。ここで、配線パターン17の幅w1が15～25μmであり、これ以上狭くすることは困

難であるため、電極パッド16の並びのピッチp1を現在より更に狭くすることは困難であった。

【0012】なお、内側の電極パッドから引き出される配線パターンを表面の層の下側の層に形成することによって、電極パッド16の並びのピッチp1を現在より狭くすることは可能となる。しかし、このようにすると、層数が増え、この分、配線基板10の歩留りが低下してしまい、好ましくない。

【0013】また、LSIチップにおいては、電子装置の放熱性を考慮して、電源消費量を100W程度に抑えた状態で、動作周波数を例えば1GHzに上げて高速化を図ることが求められている。一般にLSIチップにおいて、動作周波数を上げるとそれにつれて電源消費量が増加する。そこで、動作周波数を上げてもLSIチップの電源消費量が増加しないように、LSIチップの動作電源電圧を、一般的な5Vから例えば1.5Vへと下げることがなされる。しかし、LSIチップの動作電源電圧を下げた場合には、LSIチップの動作時に発生するノイズの電圧も下げる必要がある。ノイズがLSIチップの誤動作を引き起こしやすくなるからである。

【0014】このノイズの電圧を低く抑えるためには、LSIチップが搭載された個所における電源層とグランド層との間のインピーダンスを低く抑える必要がある。このようにインピーダンスを低く抑えるためには、LSIチップが搭載された個所における電源層とグランド層との間のインダクタンスを例えば数pHレベルにまで低く抑える必要がある。

【0015】LSIチップが搭載された個所における電源層とグランド層との間のインダクタンスを例えば数pHレベルにまで低く抑えて電源層とグランド層との間のインピーダンスを低く抑えた配線基板としては、セラミック配線基板がある。このセラミック配線基板は、セラミック製の基板本体と、この上面に薄膜形成技術によって電源層、絶縁層、グランド層が積層形成されている薄膜回路部とよりなる構成である。

【0016】しかし、このセラミック配線基板の歩留まりは、基板本体の歩留まりと薄膜回路部の歩留まりとを掛け算した積となるため、相当に低くなって、セラミック配線基板は高価となってしまふ。

【0017】そこで、本発明は、上記課題を解決した配線基板及びこれを使用したチップモジュールを提供することを目的とする。

【0018】

【課題を解決するための手段】上記課題を解決するために、請求項1の発明は、プリント基板に搭載される配線基板において、リジット基板と、フィルムと該フィルムに形成された配線パターンと該フィルムの上面に形成された半導体チップ搭載部とよりなる構成のフレキシブル基板とを有し、該フレキシブル基板が、該リジット基板と電気的に接続されて該リジット基板の上面に積層固定

された複合構造であるようにしたものである。

【0019】フレキシブル基板は、配線パターンのフィルムへの密着強度が高いこと及び表面が平坦でありマスク露光のときの焦点のずれが発生しないこと等の理由によって、配線パターンを幅が従来のビルドアップ法によって形成した場合より細く形成することが可能である。これによってLSIチップ等の半導体チップ搭載部の電極パッドのピッチを狭くすることが可能となり、現在の半導体チップは勿論、現在よりも電極のピッチが狭い将来的な半導体チップを搭載することが可能となり、将来的な半導体チップの電極の狭ピッチ化に対応することが可能である。

【0020】請求項2の発明は、配線基板とこれに搭載してある半導体チップとよりなり、プリント基板に搭載されるチップモジュールにおいて、上記配線基板は、リジット基板と、フィルムと該フィルムに形成された配線パターンと該フィルムの上面に形成された半導体チップ搭載部とよりなる構成のフレキシブル基板とを有し、該フレキシブル基板が、該リジット基板と電気的に接続されて該リジット基板の上面に積層固定された複合構造であり、上記半導体チップが上記半導体チップ搭載部に搭載してある構成としたものである。

【0021】半導体チップ搭載部がフレキシブル基板に形成してあるため、現在の半導体チップは勿論、現在よりも電極のピッチが狭い将来的な半導体チップを搭載することが可能となり、将来的な半導体チップが搭載されたチップモジュールを実現することが可能となる。

【0022】請求項3の発明は、プリント基板に搭載される配線基板において、リジット基板と、フィルムと該フィルムに形成された配線パターンと該フィルムの上面に形成された半導体チップ搭載部とよりなる構成のフレキシブル基板とを有し、該フレキシブル基板が、該リジット基板と電気的に接続されて該リジット基板の上面と下面とに積層固定された複合構造である構成としたものである。

【0023】現在の半導体チップは勿論、現在よりも電極のピッチが狭い将来的な半導体チップを両面側に搭載することが可能となる。

【0024】請求項4の発明は、リジット基板と、フィルムの面に配線パターンを有し、該リジット基板と電気的に接続されて該リジット基板の上面に積層固定されたフレキシブル基板とよりなる複合構造である配線基板と、該配線基板の上記フレキシブル基板上に搭載して実装してある半導体チップとよりなる構成としたものである。

【0025】この構成によれば、フレキシブル基板を利用することによって、半導体チップが搭載されたチップモジュールを簡単に実現することが出来る。

【0026】請求項5の発明は、フィルムの面に配線パターンを有し、中央に配されたフレキシブル基板と、該

フレキシブル基板を挟んで該フレキシブル基板と電気的に接続されて該フレキシブル基板と固定された上面側及び下面側のリジット基板とよりなる複合構造であるものである。

【0027】この構成によれば、上下面側にリジッド基板を有する構造の配線基板を安定に製造することが出来る。

【0028】請求項6の発明は、プリント基板に搭載される配線基板において、リジット基板と、該リジット基板の上面に積層固定された薄膜多層箔とよりなる複合構造であり、上記リジット基板は、下面に上記プリント基板に搭載するためのプリント基板搭載部を有し、上面に上記薄膜多層箔を搭載するための薄膜多層箔搭載部を有する構成であり、上記薄膜多層箔は、膜よりなる電源層、膜よりなる絶縁層、膜よりなるグランド層が積層されている構成であり、半導体チップに対応した大きさを有し、上面に半導体チップ搭載部を有し、下面に上記リジット基板に搭載するためのリジット基板搭載部を有する構成としたものである。

【0029】薄膜多層箔が、夫々膜よりなる電源層、絶縁層、及びグランド層が積層された構成は、半導体チップが搭載された個所における電源層とグランド層との間のインピーダンスを低くするように作用する。半導体チップが搭載された個所における電源層とグランド層との間のインピーダンスが低く抑えられることによって、発生するノイズ電圧が低く抑えられる。よって、搭載される半導体チップの動作周波数を例えば1GHzに上げて高速化を図り、且つ、半導体チップの電源消費量が増加しないように、半導体チップの動作電源電圧を、一般的な5Vから例えば1.5Vへと下げた状況においても、搭載された半導体チップが安定に動作するように出来る。

【0030】薄膜多層箔の大きさが半導体チップに対応した大きさである構成は、配線基板のコストを安価とする。

【0031】請求項7の発明は、配線基板とこれに搭載してある半導体チップとよりなり、プリント基板に搭載されるチップモジュールにおいて、上記配線基板は、リジット基板と、該リジット基板の上面に積層固定された薄膜多層箔とよりなる複合構造であり、上記リジット基板は、下面に上記プリント基板に搭載するためのプリント基板搭載部を有し、上面に上記薄膜多層箔を搭載するための薄膜多層箔搭載部を有する構成であり、上記薄膜多層箔は、膜よりなる電源層、膜よりなる絶縁層、膜よりなるグランド層が積層されている構成であり、上記半導体チップに対応した大きさを有し、上面に半導体チップ搭載部を有し、下面に上記リジット基板に搭載するためのリジット基板搭載部を有する構成としたものであり、上記半導体チップが上記半導体チップ搭載部に搭載してある構成としたものである。

【0032】薄膜多層箔が、夫々膜よりなる電源層、絶縁層、及びグランド層が積層された構成は、半導体チップが搭載された個所における電源層とグランド層との間のインピーダンスを低くするように作用する。半導体チップが搭載された個所における電源層とグランド層との間のインピーダンスが低く抑えられることによって、発生するノイズ電圧が低く抑えられる。よって、搭載された半導体チップの動作周波数を例えば1GHzに上げて高速化を図り、且つ、半導体チップの電源消費量が増加しないように、半導体チップの動作電源電圧を、一般的な5Vから例えば1.5Vへと下げた状況においても、半導体チップが安定に動作するように出来る。薄膜多層箔の大きさが半導体チップに対応した大きさである構成は、配線基板のコストを安価とする。

【0033】

【発明の実施の形態】〔第1実施例〕図3(A)、(B)及び図4は本発明の第1実施例になるLSIチップ搭載実装用配線基板50及びマルチチップモジュール90を示す。

【0034】先ず、LSIチップ搭載実装用配線基板50について説明する。配線基板50は、図5に併せて示すように、一層の配線層を有するガラスエポキシ製のリジッド基板51とこの上面に接着固定された二層の配線層を有するフレキシブル基板52とよりなる複合構造である。配線基板50の上面には、図3(A)に示すように、LSIチップ搭載部53が形成してある。LSIチップ搭載部53は、複数の電極パッド54が並んでおり、各電極パッド54から配線パターン55がLSIチップ搭載部53の外側に延びている構成である。配線基板50の下面にはバンプ56が形成してある。後述するように、配線パターン55は幅w2が約20 μ mと従来に比べて約半分と狭く、よって、電極パッド54の並びのピッチp2は従来のピッチp1より狭くなっている。なお、フレキシブル基板52を2枚重ねてもよい。

【0035】配線基板50は、図5に示すように、リジッド基板51とフレキシブル基板52とを別々に製造して、フレキシブル基板52をリジッド基板51の上面に接着して製造される。

【0036】リジッド基板51は、図5(A)～(F)に示すようにして製造される。同図(A)は元のリジッド基板60であり、ガラスエポキシ製である。先ず、同図(B)に示すように、元のリジッド基板60に穴あけし、次いで、同図(C)に示すようにCuメッキをしてCuメッキ膜61を形成してスルーホール62を形成し、次いで、同図(D)に示すようにパターンニングしてパターン63を形成し、次いで、同図(E)に示すようにスルーホール62に導体の充填剤を埋めて穴埋めてビア67を形成する。最後に、同図(F)に示すように、導体スタッド64を立て、上下面にソルダレジルトを塗布してソルダレジルト膜65を形成する。導体スタッド

64は導電性ペースト又は導電性エラストマシートである。

【0037】フレキシブル基板52は、図5(G)～(L)に示すようにして製造される。図5(G)は元のフレキシブル基板70であり、絶縁性のフィルム71の上下面にCu膜72、73が形成してある。先ず、同図(H)に示すように、元のフレキシブル基板70に穴あけし、次いで、同図(I)に示すようにCuメッキをしCuメッキ膜74を形成して上下の導通をとるスルーホール75を形成し、次いで、同図(J)に示すようにスルーホール75に導体の充填剤を埋めて穴埋めしてビア79を形成する。次いで、レジスト塗布、マスク露光、現像等を行なってパターンニングして、同図(K)に示すように上面に電極パッド54及び配線パターン55、下面に電極パッド76及び配線パターン77等を形成する。最後に、同図(L)に示すように、上下面にソルダレジルトを塗布してソルダレジルト膜78を形成する。

【0038】図5(M)に示すようにリジッド基板51の上面に絶縁性の接着剤を塗布して接着剤層66を形成し、フレキシブル基板52をリジッド基板51の上面に位置合わせして積層する。フレキシブル基板52は接着剤層66によってリジッド基板51の上面に接着される。接着されると、フレキシブル基板52はリジッド基板51と一体となって可撓性は失われる。また、フレキシブル基板52の下面の電極パッド76がリジッド基板51の上面の導体スタッド64と密着して、厚さ方向の電氣的接続がなされており、フレキシブル基板52はリジッド基板51と電氣的に接続される。

【0039】ここで、電極パッド54及び配線パターン55について見てみる。図5(G)のCu膜72は一般にはスパッタリングによって形成してあり、Cu膜72のフィルム71に対する密着強度は、メッキにより形成したCu膜の場合より相当に強い。よって、配線パターン55は従来の15～25 μ mより更に狭い幅にすることが可能である。

【0040】また、図5(J)の状態、上面にうねりは無い。よって、マスクのレジスト膜への露光は全体的に焦点が合った状態でなされ、このため、配線パターン55はその縁の線が直線となり、曲線となる部分は形成されない。よって、配線パターン55は全長に亘って同じ幅で形成され、くびれるように幅が狭くなる部分は形成されない。このため、配線パターン55は従来の15～25 μ mより更に狭い幅にすることが可能である。

【0041】よって、配線パターン55は従来の15～25 μ mの約半分の約5～10 μ mの幅w2となっている。

【0042】配線パターン55の幅w2が約5～10 μ mと狭いため、電極パッド54の並びのピッチp2は従来のピッチp1より狭くなっている。よって、現在のLSIチップは勿論、電極が現在よりも狭ピッチである将

来のLSIチップも搭載して実装することが可能である。LSIチップ搭載部53を実現可能である。また、従来に比べて配線を高密度とすることが可能である。

【0043】なお、上記の配線基板50は、図5に示すように、リジッド基板51とフレキシブル基板52とを別々に製造して、フレキシブル基板52をリジッド基板51の上面に接着して製造される構成であるため、従来のビルドアップ法によって製造した配線基板に比べて、高密度配線が可能である他に、以下の特長を有する。

【0044】・製造の歩留りが良い。層を一層づつ積み重ねる必要がないからである。

【0045】・製造途中での設計変更が容易である。フレキシブル基板52のみを設計変更すれば足り、リジッド基板51はそのまま済むからである。

【0046】・ターンアラウンドタイム（製造に要する時間）が短くなる。リジッド基板51とフレキシブル基板52とを独立して別々に製造するからである。

【0047】図3（A）及び図4に示すように、配線基板50には、共にLSIチップ等の半導体チップである一つのCPU80と二つのメモリ81、82とが、下面の bumps 83 を対応する電極パッド54と接続され、且つ、接着剤84によって配線基板50と接着されて実装してある。これによって、マルチチップモジュール90が構成してある。

【0048】このマルチチップモジュール90は、 bumps 56 を利用してマザーボード100に搭載されて実装されている。

【0049】次に、上記の配線基板50の変形例及びその使用態様について説明する。各図中、図3（A）に示す構成部分と対応する部分には添字A等を付した同じ符号を付す。

【0050】図6は第1の変形例である。配線基板50Aは、リジッド基板51Aの上面にフレキシブル基板52Aがリジッド基板51Aと電気的に接続されて接着してある構成である。この配線基板50Aは、リジッド基板51Aの配線層にフレキシブル基板52Aの配線層の数が付加されている構成であり、配線層の数を増やす場合に有効である。この配線基板50Aは、マザーボード100A上に搭載されて実装されて使用される。

【0051】図7は第2の変形例である。配線基板50Bは、リジッド基板51Bの上面のうち特定の領域にフレキシブル基板52Bがリジッド基板51Bと電気的に接続されて接着してある構成である。この配線基板50Bは、特定の領域について、リジッド基板51Bの配線層にフレキシブル基板52Bの配線層の数が付加されている構成であり、部分的に配線層の数を増やす場合に、無駄が無く合理的であり、有効である。この配線基板50Bは、マザーボード100B上に搭載されて実装されて使用される。

【0052】図8は第3の変形例である。チップモジュー

ール90Cは、配線基板50CにLSIチップ85が実装してある構成である。配線基板50Cは、リジッド基板51Cの上面のうちLSIチップ85を搭載する部分に限定してフレキシブル基板52Cがリジッド基板51Cと電気的に接続されて接着してある構成である。この配線基板50Cは、マザーボード100C上に搭載されて実装されて使用される。この構造の配線基板50Cは、少ない数のLSIチップ、例えば一つのLSIチップを実装する場合に、無駄が無く合理的であり、有効である。

【0053】図9は第4の変形例である。配線基板50Dは、マザーボードとしてのリジッド基板51Dの上面のうち特定した一部の領域にフレキシブル基板52Dがリジッド基板51Dと電気的に接続されて接着してある構成である。この配線基板50Dは、特定した一部の領域について、リジッド基板51Dの配線層にフレキシブル基板52Dの配線層の数が付加されている構成であり、部分的に配線層の数を増やす場合に有効である。

【0054】図10は第5の変形例である。チップモジュール90Eは、マザーボードとしての配線基板50EにLSIチップ85が実装してある構成である。配線基板50Eは、リジッド基板51Eの上面のうちLSIチップ85を搭載する部分にフレキシブル基板52Eがリジッド基板51Eと電気的に接続されて接着してある構成である。

【0055】フレキシブル基板52Eは、配線基板50C上の電極のピッチをLSIチップ85の電極のピッチにまで狭くする、インターポーザとしての機能を有するものである。よって、配線基板50E上にLSIチップ85を搭載することが可能となっている。

【0056】なお、フレキシブル基板52Eのリジッド基板51Eへの搭載は、例えば、以下の工程を経てなされる。

【0057】・パッド部分にペーストを印刷する。

【0058】・フレキシブル基板52Eをリジッド基板51Eに対して位置合わせして仮接合する。

【0059】・仮接合したリジッド基板51Eを窒素ガス炉等でリフロー半田付けをする。

【0060】・洗浄する。

【0061】・フレキシブル基板52Eとリジッド基板51Eとの間の隙間にエポキシ樹脂を充填する。

【0062】・最後に、充填したエポキシ樹脂を熱硬化させる。

【0063】図10中、86は熱硬化したエポキシ樹脂である。

【0064】なお、フレキシブル基板52Eを使用しないで配線基板50C上にLSIチップ85を実装しようとする場合には、配線基板50C上の所定の部分にビルドアップ法によって配線層を数層形成する必要がある。このためには大規模な設備が必要となり、歩留りも悪く

なる。しかし、フレキシブル基板52Eを使用すれば、このような問題は解決される。

【0065】図11(A)、(B)は第6の変形例である。マザーボード組立体110は、図10に示すチップモジュール90Eのマザーボードとしての配線基板50Eの上面に図3(A)に示すマルチチップモジュール90が搭載して実装された構造である。

【0066】次に他の実施例について説明する。

【0067】〔第2実施例〕図12は本発明の第2実施例になる配線基板50Fを示す。この配線基板50Fは、リジッド基板51Fがベースとなる共通の基板であり、このリジッド基板51Fの上面にフレキシブル基板52F-1が、下面にフレキシブル基板52F-2が、リジッド基板51Fと電気的に接続されて接着してある構成である。

【0068】この配線基板50Fは、その両面がLSIチップを搭載するのに利用される。

〔第3実施例〕図13は本発明の第3実施例になる配線基板50Gを示す。この配線基板50Gは、フレキシブル基板52Gがベースとなる共通の基板であり、このフレキシブル基板52Gの両側にリジッド基板51G-1、51G-2がフレキシブル基板52Gを挟んで設けてある構成である。

【0069】この構成によれば、上下面側にリジッド基板51G-1、51G-2を有する構造の配線基板50Gを安定に製造することが出来る。

【0070】〔第4実施例〕図14は本発明の第4実施例になる配線基板50Hを示す。この配線基板50Hは、リジッド基板51Hがベースとなる共通の基板であり、このリジッド基板51Hの上面にフレキシブル基板52H-1とフレキシブル基板52H-2とが並んで配されてリジッド基板51Hと電気的に接続されて接着してあり、リジッド基板51Hの下面にフレキシブル基板52H-3とフレキシブル基板52H-4とが並んで配されてリジッド基板51Hと電気的に接続されて接着してある構成である。フレキシブル基板52H-1～52H-4は互いに異なるフレキシブル基板である。

【0071】この構成によれば、例えばフレキシブル基板52H-1～52H-4のうちの幾つかを別のものと変更することによって、配線基板50Hは種類の異なる複数の配線基板に変更することが簡単に出来る。

【0072】〔第5実施例〕図15は本発明の第5実施例になる配線基板50Iを示す。この配線基板50Iは、フレキシブル基板51Iがベースとなる共通の基板であり、このフレキシブル基板51Iの上面にリジッド基板52I-1とリジッド基板52I-2とがフレキシブル基板51Iと電気的に接続されて接着してあり、フレキシブル基板51Iの下面にリジッド基板52I-3とリジッド基板52I-4とがフレキシブル基板51Iと電気的に接続されて接着してある構成である。リジッ

ド基板52I-1～52I-4は互いに異なるリジッド基板である。

【0073】例えばリジッド基板52I-1～52I-4のうちの幾つかを別のものと変更することによって、配線基板50Iは種類の異なる複数の配線基板に変更することが簡単に出来る。

【0074】この配線基板50Iは、中央のフレキシブル基板51Iが露出している部分120を利用して曲げることが可能であり、例えば、携帯型のパーソナルコンピュータの液晶パネルとキーボードとの間をまたいで配線するのに使用できる。

【0075】〔第6実施例〕図16(A)、(B)は本発明の第6実施例になるLSIチップ搭載実装用配線基板50J及びチップモジュール120を示す。

【0076】LSIチップ搭載実装用配線基板50Jは、図17に拡大して示すように、図18(B)に示すリジット基板130と、このリジット基板130の上面に積層固定された図18(A)に示す薄膜多層箔160よりなる複合構造である。後述するように、薄膜多層箔160は、リジット基板130とは独立に製造され、リジット基板130の上面に積層固定される。

【0077】チップモジュール120は、LSIチップ搭載実装用配線基板50Jの上面に、LSIチップであるCPUチップ80が、下面の bumps 83を対応する電極パッド168VU、169GU、170SUと接続され、且つ、接着剤84によって配線基板50Jと接着されて実装してある構成である。このチップモジュール120は、bumps 56を利用してマザーボード100に搭載されて実装されている。

【0078】先ず、LSIチップ搭載実装用配線基板50Jについて説明する。

【0079】配線基板50Jは、図21に示すように、リジッド基板130と薄膜多層箔160とを別々に製造して、薄膜多層箔160をリジッド基板130の上面に接合して製造される。

【0080】薄膜多層箔160は、図18(A)、図16(A)及び図20(F)に示すように、CPUチップ80に対応した大きさを有し、下面160b側から順に、ポリイミド製の絶縁層163、Cu製の電源層164V、ポリイミド製の絶縁層165、Cu製のグランド層166G、及びポリイミド製の絶縁層166を有し、且つ、電源層164Vと接続してある電源ビア168V、グランド層166Gと接続してあるグランドビア169G、電源層164にもグランド層166にも接続していない信号ビア170Sとを有する。電源ビア168Vの上端には上側電源電極パッド168VU、下端には下側電源電極パッド168VLが形成してあり、グランドビア169Gの上端には上側グランド電極パッド169GU、下端には下側グランド電極パッド169GLが形成してあり、信号ビア170Sの上端には上側信号電

極パッド170SU、下端には下側信号電極パッド170SLが形成してある。薄膜多層箔160は、各層を支持するベース部材を有しない構造である。

【0081】チップモジュール120の動作時に、ノイズは、マザーボード100内、リジッド基板130内、及び薄膜多層箔160内で発生する。これらのノイズのうち、CPUチップ80の動作に影響を与えるノイズは、CPUチップ80の端子が直接に接続されている薄膜多層箔160内で発生するノイズが主である。

【0082】また、薄膜多層箔160の絶縁層165の厚さ t は、 $10\mu\text{m}$ 以下である。この絶縁層165を間に挟んだ電源層164Vとグランド層166Gとの間のインダクタンス(VGインダクタンス)は、数pHであり、通常のビルトアップ基板におけるVGインダクタンスである数100pHに比べて二桁低い。よって、薄膜多層箔160のVGインピーダンスは、通常のビルトアップ基板におけるVGインピーダンスに比べて、二桁も低い。

【0083】図16(B)に示すように、薄膜多層箔160の上面160aには、LSIチップ搭載部161が形成してある。LSIチップ搭載部161は、複数の電極パッド168VU、169GU、170SUが、CPUチップ80の下面の bumps 83と対応する配置で並んでいる。また、薄膜多層箔160の下面160bには、複数の電極パッド168VL、169GL、170SLが、上記のLSIチップ搭載部161の複数の電極パッド168VU、169GU、170SUと同じ配置で並んでいる。

【0084】次に、図19及び図20を参照して、上記薄膜多層箔160の製造方法について説明する。

【0085】薄膜多層箔160は、図19(A)及び図20(A)に示すように、下地剥離膜形成工程190→導体層形成工程191→絶縁層形成工程192→多層化工程193→薄膜多層箔剥離工程194→薄膜多層箔切断工程195を経て製造される。

【0086】下地剥離膜形成工程190：図19(B)に示すように、ガラス板200の上面に、クロム(Cr)をスパッタリングして、下地剥離膜201を形成する。

【0087】導体層形成工程191：図19(C)に示すように、Cuをスパッタリングして、下地剥離膜201の上面に、導体層202を形成する。

【0088】次いで、図19(D)に示すように、レジストを塗布し、露光・現像処理を行なって、エッチングレジスト203を形成する。

【0089】次いで、図19(E)に示すように、導体層202をエッチングし、この後に、エッチングレジスト203を剥離して、電極パッド168VL、169GL、170SLを形成する。

【0090】絶縁層形成工程192：図19(F)に示

すように、感光性ポリイミドをスピンコートして、電極パッド168VL、169GL、170SLを覆う感光性ポリイミド絶縁層203を形成する。

【0091】次いで、図19(G)に示すように、感光性ポリイミド絶縁層203に対して露光・現像・キュア処理を行なって、ポリイミド絶縁層204を形成する。

【0092】多層化形成工程193：図19(H)に示すように、導体層202の形成及びポリイミド絶縁層204の形成を繰り返して、順に、ポリイミド製の絶縁層163、Cu製の電源層164V、ポリイミド製の絶縁層165、Cu製のグランド層166G、及びポリイミド製の絶縁層166を重ねるように形成して、大きいサイズの薄膜多層箔160Aを形成する。

【0093】絶縁層165はスピンコートで形成され、 $10\mu\text{m}$ 以下の厚さで形成される。

【0094】また、図20(A)に示すように、薄膜多層箔160Aは下地剥離膜201より少し小さいサイズで形成され、下地剥離膜201のうち周囲の部分は露出している。201aは下地剥離膜201のうち薄膜多層箔160Aより周囲にはみ出て露出している部分である。

【0095】薄膜多層箔剥離工程194：図20

(B)、(C)に示すように、下地剥離膜201の露出している部分201aをエッチングし、更にはオーバーエッチして、薄膜多層箔160Aの周囲の部分に、浮き部205を形成する。

【0096】次いで、図20(D)に示すように、浮き部205を利用して薄膜多層箔160Aの端をつかんで、引き上げて、薄膜多層箔160Aをその周囲の個所からガラス板200より引き剥がす。

【0097】薄膜多層箔切断工程195：図20(E)に示すように、引き剥がした薄膜多層箔160Aを、カッターを使用して、線206で示すように、CPUチップ80に対応したサイズに切断する。これによって、図20(F)及び図18(A)に示す薄膜多層箔160が複数製造される。

【0098】次に、図21を参照して、リジッド基板130の製造方法について説明する。

【0099】リジッド基板130は、図21(A)～(F)に示すようにして製造される。同図(A)は、回路パターンが形成された内層材と半硬化状態にした接着シート(プリプレグ)とを交互に積み重ねて、加熱、加圧してなるリジッドな元の多層基板131である。この多層基板131に、同図(B)に示すように、穴あけし、次いで、同図(C)に示すようにCuメッキをしてCuメッキ膜132を形成してスルーホール133を形成し、次いで、同図(D)に示すようにパターンニングしてパターン134を形成し、次いで、同図(E)に示すようにスルーホール133に導体の充填剤を埋めて穴埋めてビア135を形成する。最後に、同図(F)に示す

ように、上下面にソルダレジルトを塗布してソルダレジルト膜139を形成する。以上によって、図21(F)及び図18(B)に示すリジッド基板130が製造される。

【0100】このように製造されたリジッド基板130は、内部に、電源層140V、絶縁層141、及びグランド層142Gが積層されている構造である。上記の製造方法からして、絶縁層141kの厚さt1は20 μ m以上である。

【0101】LSIチップ搭載実装用配線基板50Jは、図21(F)、(G)、(H)に示すように、薄膜多層箔160をリジッド基板130の上面に接合することによって製造される。LSIチップ搭載実装用配線基板50Jは、上面に電極パッド168VU、169GU、170SUを有する。

【0102】薄膜多層箔160のリジッド基板130の上面への接合は、図22に示すように、半田ペースト印刷工程220→仮接合工程221→リフロー半田付け工程222→洗浄工程223→エポキシ樹脂充填工程234→熱硬化工程235を経て製造される。

【0103】半田ペースト工程220：この工程では、リジッド基板130の上面の各電極パッド150に半田ペーストを印刷する。

【0104】仮接合工程221：この工程では、薄膜多層箔160を、その下面160bの複数の電極パッド168VL、169GL、170SLがリジッド基板130の上面の各電極パッド150に対向するように位置合わせをして、リジッド基板130の上面に載せて、仮接合する。

【0105】リフロー半田付け工程222：この工程では、窒素ガス炉又はVPS(vapor phase soldering)を使用して、リフロー半田付ける。これによって、半田240が、図17に示すように付き、対向している電極パッド168VL、169GL、170SLと電極パッド150とが接合される。

【0106】洗浄工程223：この工程では、洗浄を行なって、半田付けされた部分に付着している半田ペーストを洗い流す。

【0107】エポキシ樹脂充填工程234：この工程では、リジッド基板130の上面と薄膜多層箔160の下面との間の隙間241に、封止のために、エポキシ樹脂を充填する。

【0108】熱硬化工程235：この工程では、エポキシ樹脂が硬化する温度以上にまで加熱し、充填されているエポキシ樹脂を熱硬化させる。符号242は熱硬化されたエポキシ樹脂である。

【0109】ここで、上記のLSIチップ搭載実装用配線基板50J及びチップモジュール120の特長について説明する。

【0110】・チップモジュール120は、CPUチップ

80の電源消費量を抑えつつ、CPUチップ80の動作周波数を例えば1GHzに上げて高速化を図った場合においても、ノイズ電圧を低く抑えることが可能である。絶縁層165の厚さtが10 μ m以下と薄く、電源層164Vとグランド層166Gとの間のVGインピーダンスが数pHの低いレベルとなっているからである。

【0111】・LSIチップ搭載実装用配線基板50Jは製造の歩留りが良い。層を一層づつ積み重ねる必要がないからである。

【0112】・LSIチップ搭載実装用配線基板50Jは製造途中での設計変更が容易である。薄膜多層箔160のみを設計変更すれば足り、リジッド基板130はそのままで済むからである。

【0113】・ターンアラウンドタイム(製造に要する時間)が短くなる。リジッド基板130と薄膜多層箔160とを独立して別々に製造するからである。

【0114】次に、LSIチップ搭載実装用配線基板50Jの変形例について説明する。

【0115】上記絶縁層165は、SiO₂製でもよく、SiO₂とポリイミドとの混合でもよく、Ta₂O₅又はBST(チタン酸バリウム・ストロンチウム)でもよい。

【0116】上記の半田240に代えて、Agペーストを使用することも可能である。半田240による接合に代えて、Cu-Sn等の金属の拡散を利用してもよい。

【0117】また、薄膜多層箔160のリジッド基板130の上面への接合を、導通金属が混入したエポキシ樹脂で行なってもよい。

【0118】図23(A)は、LSIチップ搭載実装用配線基板50Jの第1の変形例を示す。LSIチップ搭載実装用配線基板50J-1は、リジッド基板130-1の上面に、2枚の薄膜多層箔160-1a及び薄膜多層箔160-1bを並べて接合されている構成である。

【0119】図23(B)は、LSIチップ搭載実装用配線基板50Jの第2の変形例を示す。LSIチップ搭載実装用配線基板50J-2は、リジッド基板130-2の上面に、2枚の薄膜多層箔160-2a及び薄膜多層箔160-2bを重ねて接合されている構成である。

【0120】図23(C)は、LSIチップ搭載実装用配線基板50Jの第1の変形例を示す。LSIチップ搭載実装用配線基板50J-3は、リジッド基板130-3の上面に薄膜多層箔160-1aが接合され、及びリジッド基板130-3の下面に薄膜多層箔160-3bが接合されている構成である。

【0121】付記

本発明は以下の内容の発明を含む。

【0122】・請求項2記載の配線基板において、上記リジッド基板の上面側のフレキシブル基板は複数枚が並んで配されており、上記リジッド基板の下面側のフレキシブル基板は複数枚が並んで配されている構成とした配

線基板。

【0123】この配線基板は、例えばフレキシブル基板のうちの幾つかを別のものと変更することによって、配線基板を種類の異なる複数の配線基板に変更することが簡単に出来るという効果を有する。

【0124】・請求項5記載の配線基板において、上記上面側のリジット基板は、複数枚が並んで配されており、且つ、下面側のリジット基板は、複数枚が並んで配されている構成とした配線基板。

【0125】この配線基板は、フレキシブル基板が露出している部分を利用して曲げることが可能であり、例えば、携帯型のパーソナルコンピュータの液晶パネルとキーボードとの間をまたいで配線するのに使用可能である。

【0126】

【発明の効果】以上説明したように、請求項1の発明は、プリント基板に搭載される配線基板において、リジット基板と、フィルムと該フィルムに形成された配線パターンと該フィルムの上面に形成された半導体チップ搭載部とよりなる構成のフレキシブル基板とを有し、該フレキシブル基板が、該リジット基板と電気的に接続されて該リジット基板の上面に積層固定された複合構造であるようにしたものであるため、フレキシブル基板が、配線パターンのフィルムへの密着強度が高いこと及び表面が平坦でありマスク露光のときの焦点のずれが発生しないこと等の理由によって、配線パターンを幅が従来のビルドアップ法によって形成した場合より細く形成することが可能であることによって、半導体チップ搭載部の電極パッドのピッチを狭くすることが可能となり、現在の半導体チップは勿論、現在よりも電極のピッチが狭い将来的な半導体チップを搭載することが可能となり、将来的な半導体チップの電極の狭ピッチ化に対応することが可能である配線基板を実現することが出来る。

【0127】請求項2の発明は、配線基板とこれに搭載してある半導体チップとよりなり、プリント基板に搭載されるチップモジュールにおいて、上記配線基板は、リジット基板と、フィルムと該フィルムに形成された配線パターンと該フィルムの上面に形成された半導体チップ搭載部とよりなる構成のフレキシブル基板とを有し、該フレキシブル基板が、該リジット基板と電気的に接続されて該リジット基板の上面に積層固定された複合構造であり、上記半導体チップが上記半導体チップ搭載部に搭載してある構成としたものであるため、半導体チップ搭載部がフレキシブル基板に形成してあることによって、現在の半導体チップは勿論、現在よりも電極のピッチが狭い将来的な半導体チップを搭載することが可能となり、将来的な半導体チップが搭載されたチップモジュールを実現することが出来る。

【0128】請求項3の発明は、プリント基板に搭載される配線基板において、リジット基板と、フィルムと該

フィルムに形成された配線パターンと該フィルムの上面に形成された半導体チップ搭載部とよりなる構成のフレキシブル基板とを有し、該フレキシブル基板が、該リジット基板と電気的に接続されて該リジット基板の上面と下面とに積層固定された複合構造である構成としたものであるため、現在の半導体チップは勿論、現在よりも電極のピッチが狭い将来的な半導体チップを両面側に搭載することが可能である配線基板を実現することが出来る。

【0129】請求項4の発明は、リジット基板と、フィルムの面に配線パターンを有し、該リジット基板と電気的に接続されて該リジット基板の上面に積層固定されたフレキシブル基板とよりなる複合構造である配線基板と、該配線基板の上記フレキシブル基板上に搭載して実装してある半導体チップとよりなる構成としたものであるため、フレキシブル基板を利用することによって、半導体チップが搭載されたチップモジュールを簡単に実現することが出来る。

【0130】請求項5の発明は、フィルムの面に配線パターンを有し、中央に配されたフレキシブル基板と、該フレキシブル基板を挟んで該フレキシブル基板と電気的に接続されて該フレキシブル基板と固定された上面側及び下面側のリジット基板とよりなる複合構造であるものであるため、上下面側にリジッド基板を有する構造の配線基板を安定に製造することが出来る。

【0131】請求項6の発明は、フィルムの面に配線パターンを有し、中央に配されたフレキシブル基板と、該フレキシブル基板を挟んで該フレキシブル基板と電気的に接続されて該フレキシブル基板と固定された上面側及び下面側のリジット基板とよりなる複合構造であるものであるため、薄膜多層箔が、夫々膜よりなる電源層、絶縁層、及びグランド層が積層された構成は、半導体チップが搭載された個所における電源層とグランド層との間のインピーダンスを低くするように作用し、よって、搭載する半導体チップが搭載された個所における電源層とグランド層との間のインピーダンスが低く抑えられることによって、発生するノイズ電圧が低く抑えられる。よって、搭載する半導体チップの動作周波数を例えば1GHzに上げて高速化を図り、且つ、半導体チップの電源消費量が増加しないように、半導体チップの動作電源電圧を、一般的な5Vから例えば1.5Vへと下げた状況においても、搭載した半導体チップが安定に動作するように出来る。また、薄膜多層箔の大きさが半導体チップに対応した大きさである構成としたため、配線基板のコストを安価にすることが出来る。

【0132】請求項7の発明は、配線基板とこれに搭載してある半導体チップとよりなり、プリント基板に搭載されるチップモジュールにおいて、上記配線基板は、リジット基板と、該リジット基板の上面に積層固定された薄膜多層箔とよりなる複合構造であり、上記リジット基

板は、下面に上記プリント基板に搭載するためのプリント基板搭載部を有し、上面に上記薄膜多層箔を搭載するための薄膜多層箔搭載部を有する構成であり、上記薄膜多層箔は、膜よりなる電源層、膜よりなる絶縁層、膜よりなるグランド層が積層されている構成であり、上記半導体チップに対応した大きさを有し、上面に半導体チップ搭載部を有し、下面に上記リジッド基板に搭載するためのリジッド基板搭載部を有する構成としたものであり、上記半導体チップが上記半導体チップ搭載部に搭載してある構成としたものであるため、薄膜多層箔が、夫々膜よりなる電源層、絶縁層、及びグランド層が積層された構成は、半導体チップが搭載された個所における電源層とグランド層との間のインピーダンスを低くするように作用する。半導体チップが搭載された個所における電源層とグランド層との間のインピーダンスが低く抑えられることによって、発生するノイズ電圧が低く抑えられる。よって、搭載した半導体チップの動作周波数を例えば1GHzに上げて高速化を図り、且つ、半導体チップの電源消費量が増加しないように、半導体チップの動作電源電圧を、一般的な5Vから例えば1.5Vへと下げた状況においても、半導体チップが安定に動作するように出来る。また、薄膜多層箔の大きさが半導体チップに対応した大きさである構成としたため、配線基板のコストを安価にすることが出来、チップモジュールのコストを安価にすることが出来る。

【図面の簡単な説明】

【図1】従来の配線基板を示す図である。

【図2】図1の配線基板の製造方法を説明する図である。

【図3】本発明の第1実施例の配線基板及びマルチチップモジュールを示す図である。

【図4】図3の配線基板及びマルチチップモジュールの平面図である。

【図5】図3の配線基板の製造方法を示す図である。

【図6】第1の変形例を示す図である。

【図7】第2の変形例を示す図である。

【図8】第3の変形例を示す図である。

【図9】第4の変形例を示す図である。

【図10】第5の変形例を示す図である。

【図11】第6の変形例を示す図である。

【図12】本発明の第2実施例の配線基板を示す図である。

【図13】本発明の第3実施例の配線基板を示す図である。

【図14】本発明の第4実施例の配線基板を示す図である。

【図15】本発明の第5実施例の配線基板を示す図である。

【図16】本発明の第6実施例の配線基板及びチップモジュールを示す図である。

【図17】図16中のLSIチップ搭載実装用配線基板を示す図である。

【図18】薄膜多層箔とリジッド基板とを対応させて示す図である。

【図19】図18(A)の薄膜多層箔の製造方法を示す図である。

【図20】図19(G)に続く、薄膜多層箔の製造方法を示す図である。

【図21】図17のLSIチップ搭載実装用配線基板の製造方法を示す図である。

【図22】図21中、薄膜多層箔をリジッド基板上へ接合する工程を示す図である。

【図23】図16のLSIチップ搭載実装用配線基板の変形例を概略的に示す図である。

【符号の説明】

50, 50A～50J 配線基板

51 リジッド基板

52 フレキシブル基板

53 LSIチップ搭載部

54 電極パッド

55 配線パターン

57, 79 ビア

64 導体スタッド

66 接着剤層

80 CPU

81, 82 メモリ

85 LSIチップ

90 マルチチップモジュール

90C, 90E チップモジュール

100 マザーボード

130 リジッド基板 160 薄膜多層箔

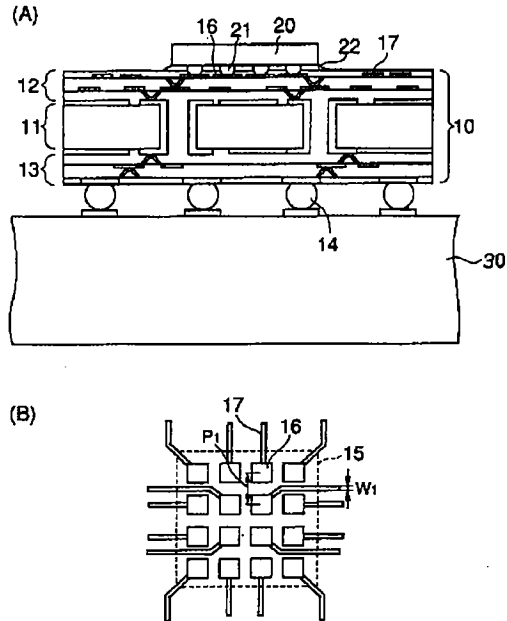
164V 電源層

163 絶縁層

166G グランド層

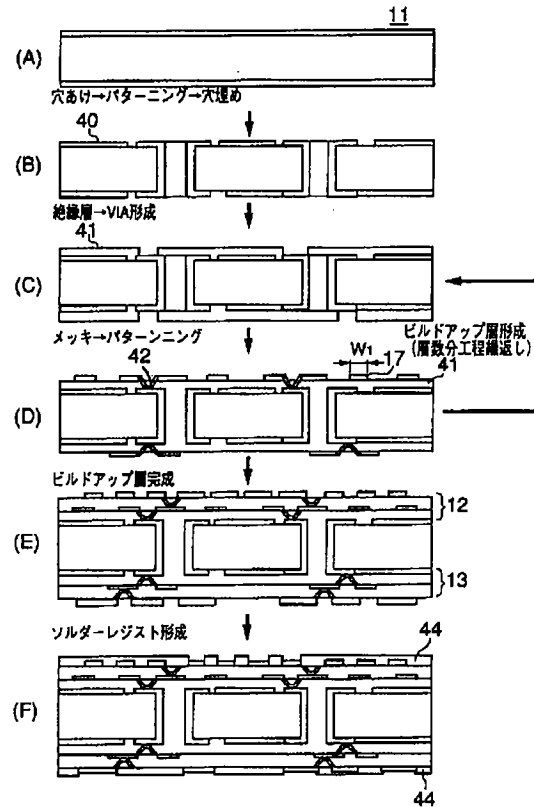
【図1】

従来の配線基板を示す図



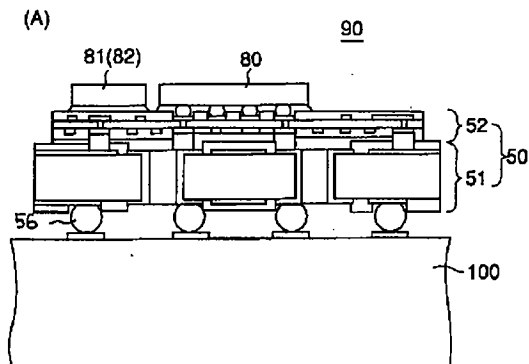
【図2】

図1の配線基板の製造方法を説明する図



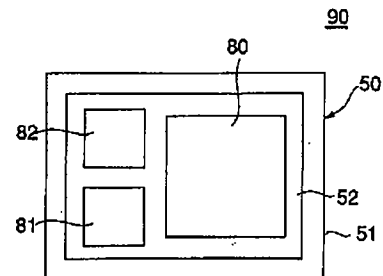
【図3】

本発明の第1実施例の配線基板及びマルチチップモジュールを示す図



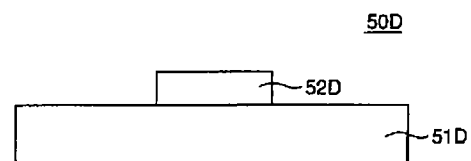
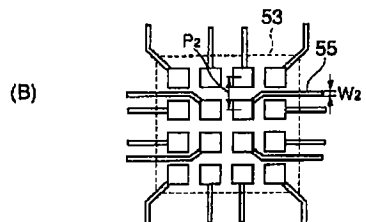
【図4】

図3の配線基板及びマルチチップモジュールの平面図



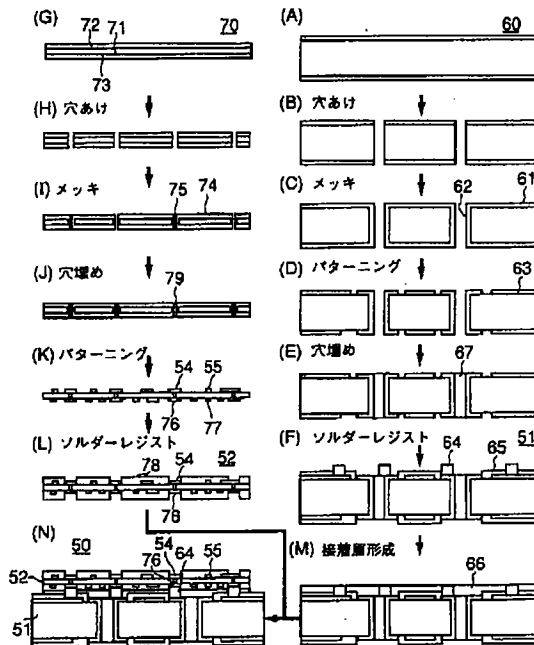
【図9】

第4の変形例を示す図



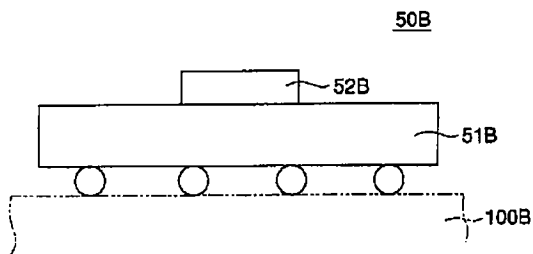
【図5】

図3の配線基板の製造方法を示す図



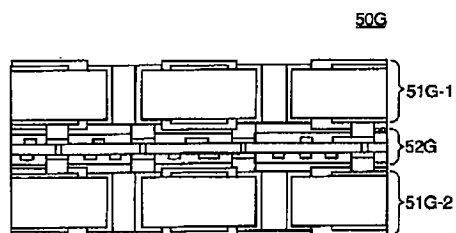
【図7】

第2の変形例を示す図



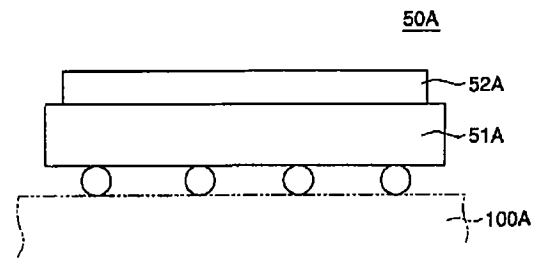
【図13】

本発明の第3実施例の配線基板を示す図



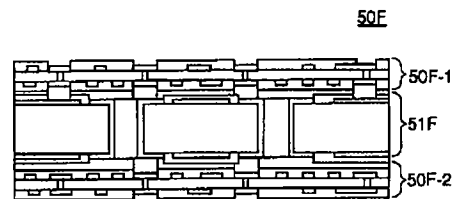
【図6】

第1の変形例を示す図



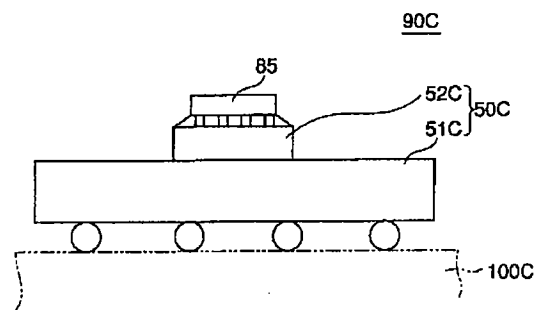
【図12】

本発明の第2実施例の配線基板を示す図



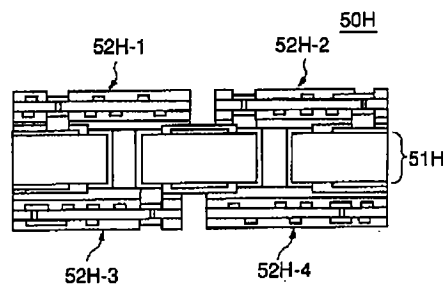
【図8】

第3の変形例を示す図



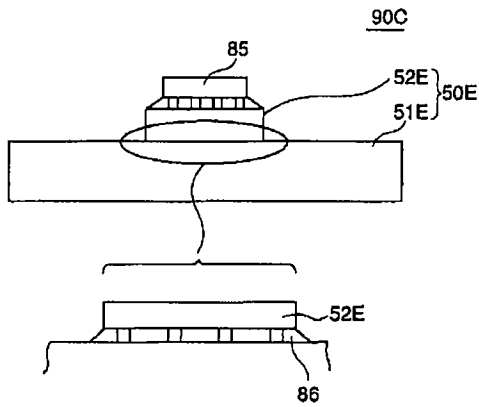
【図14】

本発明の第4実施例の配線基板を示す図



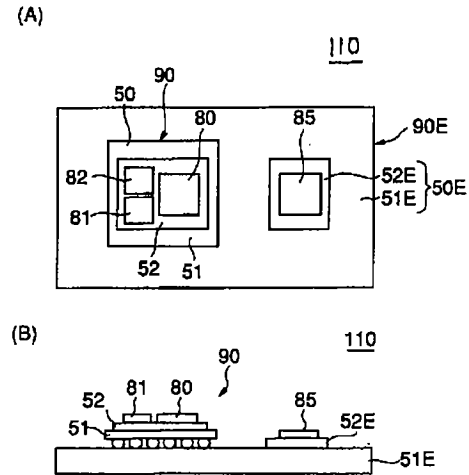
【図10】

第5の変形例を示す図



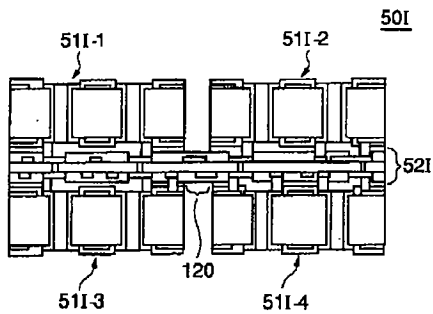
【図11】

第6の変形例を示す図



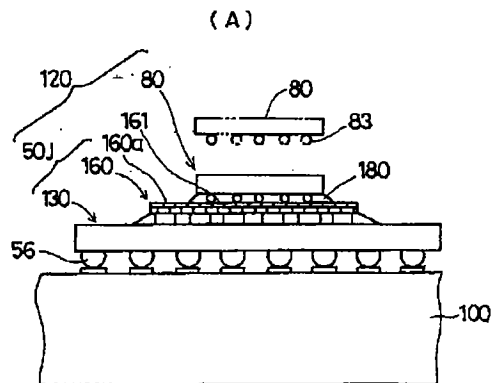
【図15】

本発明の第5実施例の配線基板を示す図



【図16】

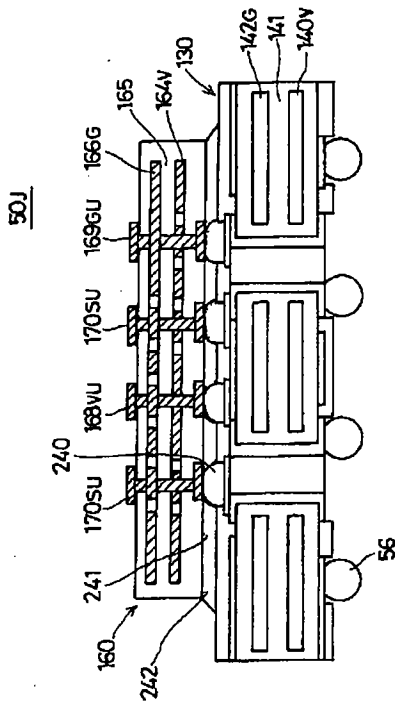
本発明の第5実施例の配線基板及びチップモジュールを示す図



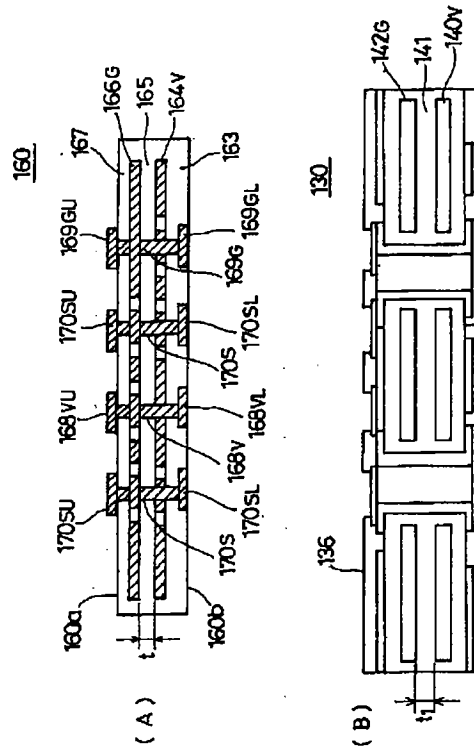
【図17】

【図18】

図16中のLSIチップ搭載実装面線基板を示す図



薄膜多層箔とリジッド基板とを対応させて示す図

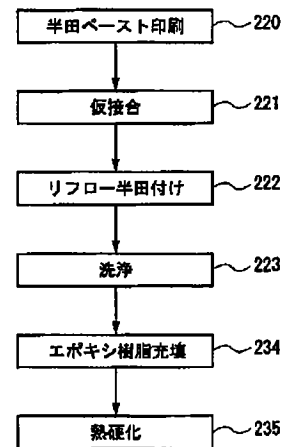
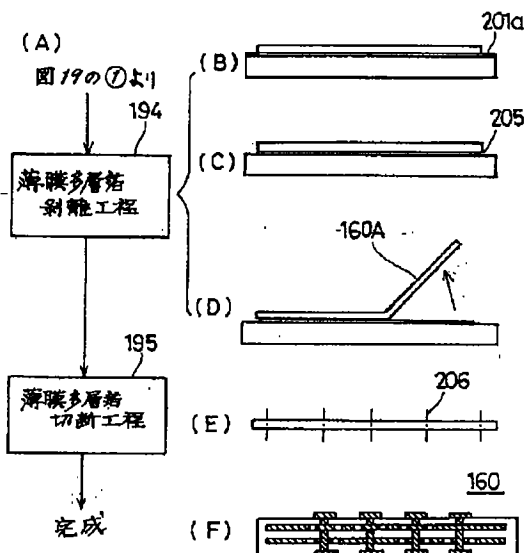


【図20】

【図22】

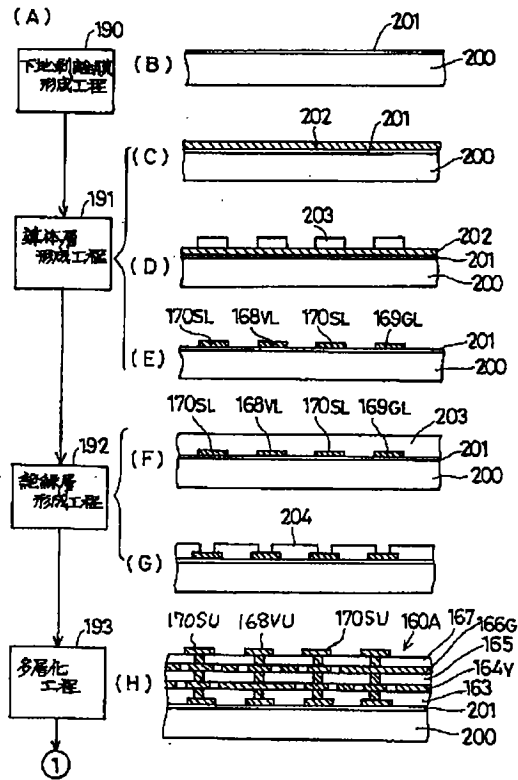
図19(H)に続く、薄膜多層基板の製造方法を示す図

図21中、薄膜多層箔をリジッド基板上へ接合する工程を示す図



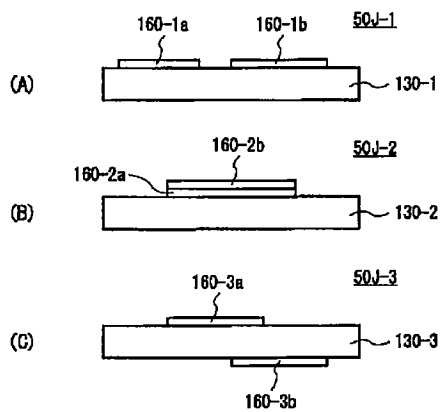
【図19】

図18(A)の薄膜多層基の製造方法を示す図



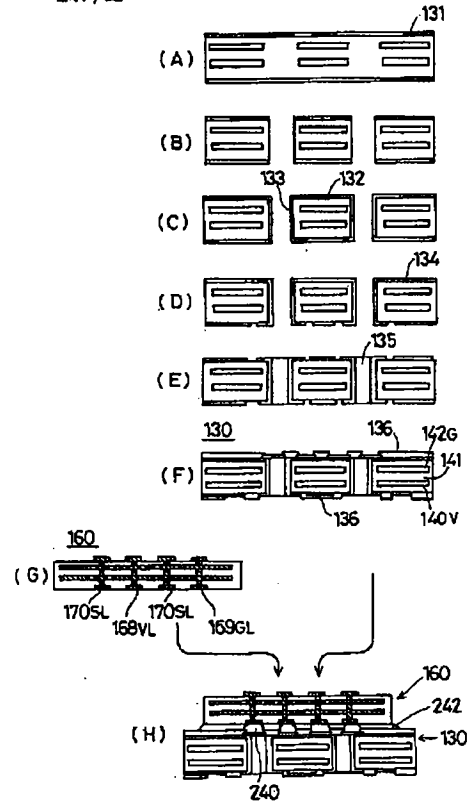
【図23】

図16の配線基盤の変形例を概略的に示す図



【図21】

図17のLSIチップ搭載用配線基盤の製造方法を示す図



フロントページの続き

(72)発明者 小出 正輝
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72)発明者 山本 治彦
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内